

Allegro Sigrity PI Solution (电源完整性) 解决方案

简化在高速和高电流PCB和IC封装上的电源分配网络 (PDN) 创建流程

Cadence® Allegro® Sigrity™ PI (电源完整性) 集成设计和分析环境, 帮助您简化在高速和高电流PCB系统和IC封装上的电源分配网络创建流程。设计工程师和电气工程师可使用一系列从基础到进阶的功能, 对设计周期各阶段的电气性能进行探索、优化和解决问题。通过使用独特的电气约束驱动设计流程, 设计周期将大幅缩短, 最终产品成本也将大大减少。

Allegro Sigrity PI Solution (电源完整性) 解决方案

Allegro Sigrity PI solution (电源完整性) 提供了可扩展、高性价比的预布局及布局后系统PDN设计和分析环境, 包含电路板、封装和系统级的初阶及进阶分析。Allegro Sigrity PI Base与Cadence PCB和IC封装layout编辑器、Cadence Allegro Design Authoring紧密集成, 实现了PCB和IC封装设计从前端至后端的约束驱动PDN设计。

Allegro Sigrity PI solution (电源完整性) 可帮助设计工程师在整个设计过程中解决PDN问题, 包括设计密度增加、数据吞吐率加快、产品设计时间缩减等设计挑战。更可帮助设计团队消除设计后期耗时的设计迭代问题。

PDN中的电源和接地网络可通过混合求解器或3D全波求解器进行建模。用户可根据自身的设计信息和专业知识选择合适的模型。

电源完整性约束集(PI Csets)可帮助决定去耦电容的放置, 可以将电容与元器件相关联, 约束将电容放置在离器件约束距离范围之内, 以及定义电容应放置在设计元器件位置的同侧还是异侧。

核心优势

- 高度集成的设计和分析环境, 消除了手动设计过程中产生的出错、耗时等问题。

- 直观的在线设计分析工具, 可统一从前端到后端的电气约束管理环境, 从而简化布线后的签收验证过程。
- 直流压降分析(DC IR drop)以双窗口视图模式运行。设计师们在Allegro编辑器进行编辑的同时也可查看直流压降分析结果。
- 设计规则检查(DRC)标记可以在Allegro编辑器中精准锁定直流压降分析结果超出约束限制的位置。
- 可轻松评估IC封装设计的质量, 并可用于芯片间的瞬态电源分析。

主要功能

设计界面与Allegro Sigrity PI solution (电源完整性) 相结合, 当分析Allegro PCB或者IC封装设计时, 可用Allegro Sigrity PI进行查看和修改设计。

集成的PDN设计和分析

为了消除设计在平台转换过程中产生的风险, Allegro Sigrity PI solution (电源完整性) 与Allegro PCB和IC封装layout编辑器无缝集成, 并将约束和模型与设计文件紧密集成。电源可行性编辑器可帮助用户选择合适的去耦电容值, 并可在设计过程中的任意时刻使用。理想的方法是在设计规划时使用电源可行性编辑器, 并将PI约束集(PI Csets)应用于所选的去耦电容。

一旦完成设计规划并开始布局布线, layout工程师便会遵循之前设置的PI约束集。设计电源和接地层时, 执行直流压降分析可以保证电压幅度并确保电流密度在规定范围之内。

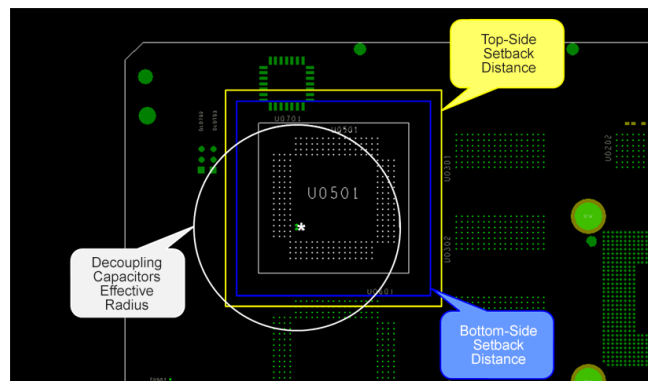


图1: 电源完整性约束集指导去耦电容的放置

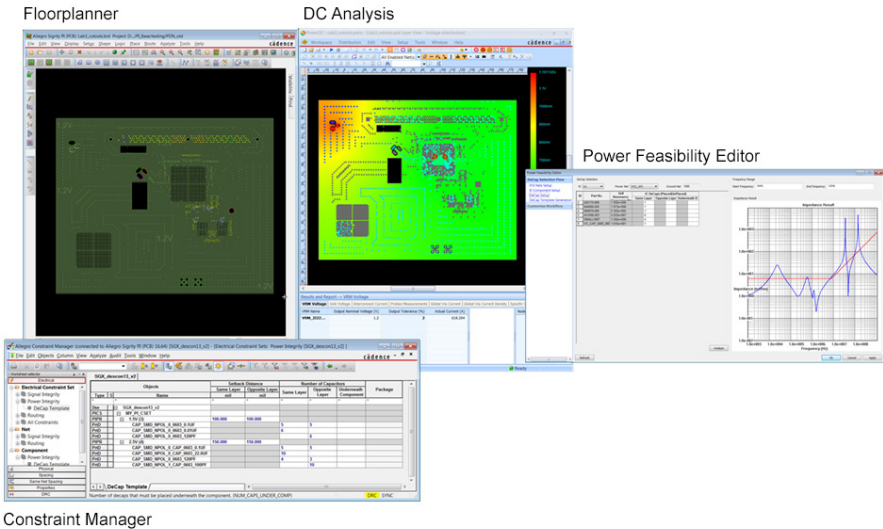


图2: Allegro Sigrity PI Base流程为设计团队简化处理初级电源完整性问题的方案

去耦电容优化

在满足了所有PI Csets要求并解决了直流压降问题之后, layout工程师可将设计转交给PI专家。PI专家将使用优化和签收选项运行高级电源完整性分析。根据成本和性能需求进行去耦电容值及功能的优化评估, 并将理想的成本和性能优化方案反馈给layout工程师。

热感知分析

PI专家也可以选择运行高级压降分析, 该分析同时考虑了设计的元器件发热和布线的焦耳热问题。由于不同温度下电压下降的程度不同, 要达到签收级别的精度要求则需要考

虑到整个设计过程中的温度变化。PI专家可以使用优化和签收选项执行签收级别的压降分析, 测试对电源和接地层的修改建议, 再将建议反馈给layout工程师。

AC分析

PI专家可通过AC分析仿真来评估整个电源与接地层的电压分配。专家们可选择观察位置以聚焦于感兴趣的领域, 如板间的电压电平、特定频率范围内的性能等。此外, 各种2D及3D可视化选项也可加速结果评估。同时, 可自定义以任务为主的工作流程, 提供针对频繁分析任务的逐步指导并建立默认流程以引导新用户的使用。

AC分析工具也支持耦合信号、电源和地的S参数模型提取, 以及运用混合求解器提取引擎在设计阶段进行EMI分析。该工具还提供一种空间模式, 可在特定的频率下查看电源/地平面空间中的阻抗, 这对于识别电路板或IC封装上的热点十分有效。

IC 封装评估和模型提取方法

Allegro Sigrity PI solution (电源完整性) 为IC封装(.mcm或.sip)互连提供了评估、优化和仿真环境。工程师们可因此进行设计权衡, 在实现成本最小化的同时实现封装模块互连性能的最大化。

封装设计工程师最常使用电气评估功能, 从而对封装设计的电气性能进行快速的初级评估。信号分析(走线阻抗和耦合检查)、电源/地分析(net-pair和per-pin特性)以及直流分析(直流电流和压降分析)均可纳入评估内容中。掌握少量电磁专业知识, 即可顺利完成评估。并可生成HTML格式报告, 显示分析内容及其对应分析结果。

IC封装评估和模型提取方法与封装设计环境紧密集成, 对于封装设计外包极具价值。电气性能评估可提供快速且全面的封装设计评估, 缩短了为封装设计工程师提供问题反馈的时间。当评估结果良好时, 对于高频系统级时域仿真而言, 采用全封装模型提取或部分封装的高精度模型提取是有效的方式。

对于更高级的分析, 封装分析工程师们可以使用集成混合(2D/3D)和全波3D的场求解器引擎。这些求解器可用来创建全封装模型, 或者可提取部分封装S参数模型。创建的模型可进行独立分析, 或者转交给系统信号完整性分析工程师, 将封装模型包含在其系统拓扑结构中进行系统仿真。

此外, 热和热感知压降分析也可被纳入整个解决方案中。

约束驱动设计方法

Allegro Sigrity PI (电源完整性) 技术与Allegro PCB和IC封装设计工具的约束管理系统无缝集成。与去耦电容相关的设计意图可以PICset的形式在读取原理图时获得, 随后无论在相同或不同的设计中, 均可在使用具有相同去耦方案的元器件时复用这些设计规划。

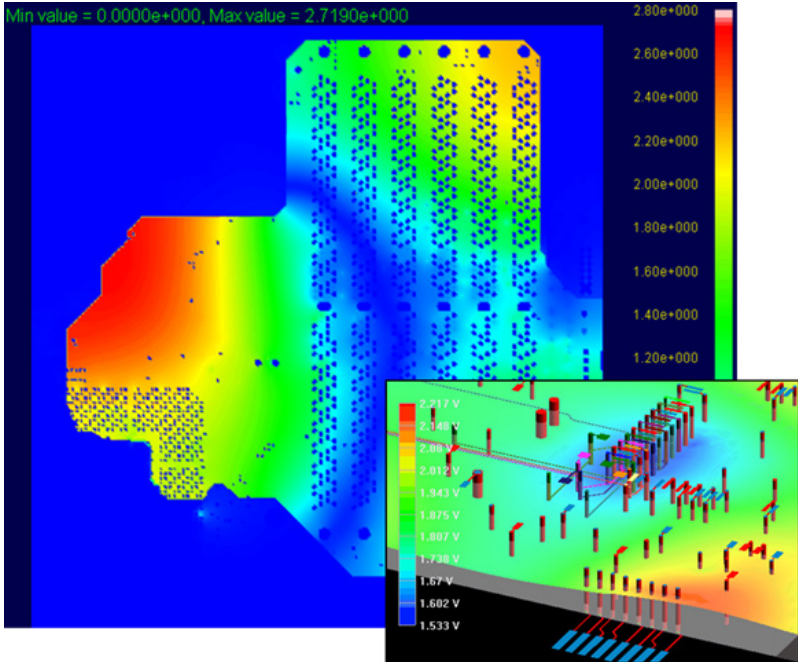


图3: AC分析提供了有助于识别热点的空间模式

优点

- 在线设计与布线后的电源完整性签收分析集成了物理设计流程, 为仿真分析提供了最优方法
- 电源完整性约束捕获设计意图, 提供约束驱动物理设计方法
- 可扩展的串扰分析, 包含了从基于分段的串扰DRC分析到详细的时域仿真分析
- 混合(2D/3D)求解器和全波3D求解器提供了提取的可扩展性, 并通过精确提取模型实现电源和地的建模
- IC封装电气评估可快速识别电气故障和基准性能指标评估

- 综合考虑成本与性能的去耦电容优化
- 交流和热感知直流分析, 可实现精准签收电源完整性分析
- 读/写Cadence Allegro 封装设计(.mcm)和Sip数字Layout(.sip)文件

操作系统支持

Allegro平台技术(支持):

- Linux
- Windows

Cadence服务与技术支持

- 任何技术问题, 可通过电话、邮件或在线客服寻求Cadence产品应用工程师的帮助, 同时他们可以提供技术支持和定制培训。
- Cadence的认证讲师教授70多门课程, 并将实践经验带入课堂。
- 超过25种在线网络课程, 用户可以随时随地通过互联网进行自我学习
- Cadence在线支持提供24x7全天候服务, 用户可随时下载最新解决方案、技术文档、相关软件等
- 更多支持和服务信息, 请访问www.cadence.com/support 更多培训信息, 请访问: www.cadence.com/training

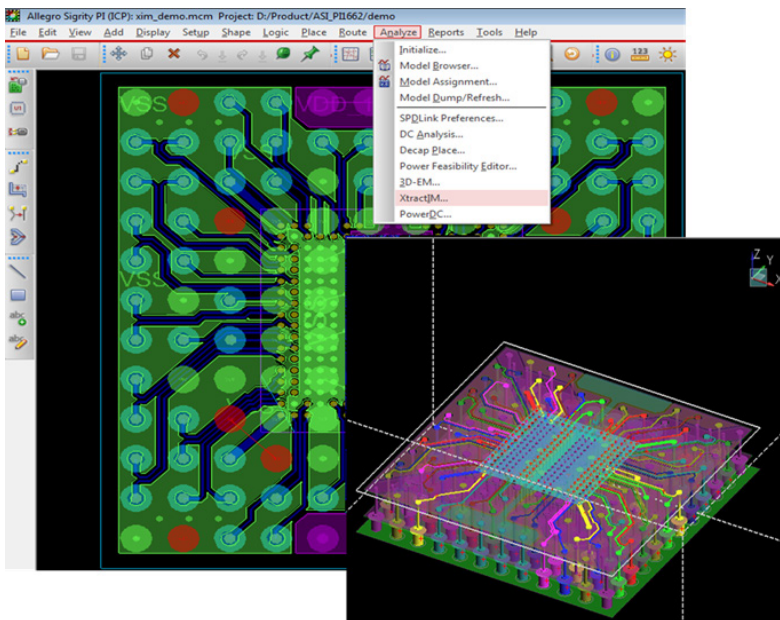


图4: 封装评估和模型提取与封装设计环境紧密集成, 包含快速评估、详细全封装模型或部分封装3D建模、以及压降和热分析

Allegro Sigrity PI 产品详情

Sigrity产品	Allegro Sigrity PI Base	签收及优化选项	封装评估/提取选项
注意: 每个授权账号每次只能访问1种产品			
CAD设计/数据转换器		•	•
PowerDC™技术		•	•
PowerSI™技术		•	
PowerSI 3D EM全波提取		•	•
OptimizePI™技术		•	
XtractIM™技术			•

Allegro Sigrity PI 功能详情

功能	Allegro Sigrity PI Base	签收及优化选项	封装评估/提取选项
通过DRC标记的反标注进行静态直流压降分析	•	•	•
支持IBIS 5.1协议			•
图形拓扑编辑器			•
总线级拓扑编辑器			•
详细的HTML仿真报告	•	•	•
Allegro PCB编辑器的布局后选择	•		
HSPICE接口			•
约束驱动的规划及布局	•		
Allegro约束管理器	•		
关于去耦电容违规布局的实时反馈	•		
约束驱动布线	•		
Allegro选择性布线	•		
热感知静态压降分析		•	•
PCB和IC封装供电网络的交流分析		•	
成本与性能的去耦电容优化		•	
混合求解器(2D/3D)提取		•	•
3D全波提取		•	•
筛选布线网络的信号质量		•	
频域分析		•	•



Cadence公司致力于推动电子系统和半导体公司设计创新的终端产品,以改变人们的工作、生活和娱乐方式。客户采用Cadence的软件、硬件和半导体IP,帮助他们能更快速向市场交付产品。Cadence公司的“系统设计实现”(SDE)战略,将帮助客户开发出更具差异化的产品——覆盖从芯片到电路板设计乃至整个系统——涵盖移动设备、消费电子、云数据中心、汽车、航空、物联网、工业应用以及其他细分市场。Cadence公司同时被财富杂志评选为“全球年度最适宜工作的100家公司”之一。了解更多,请访问公司网站 www.cadence.com

© 2018 Cadence Design Systems, Inc. All rights reserved worldwide. Cadence, the Cadence logo, and the other Cadence marks found at www.cadence.com/go/trademarks are trademarks or registered trademarks of Cadence Design Systems, Inc. All other trademarks are the property of their respective owners. 1167311/18 PJ/RA/PDF