

Allegro Design Authoring

あらゆるタイプのデザインにおいて設計意図を簡単に入力

可能な限り低コストで新製品を創造しようとしているシステム企業は、短期かつ予測可能な設計サイクルにするために、より簡単な設計手法を求めています。新しい規格のインターフェース、アーキテクチャ、実装アプローチが増加する中、ハードウェア設計者には、進化するテクノロジーやメソッドのニーズに対応した論理設計ソリューションが必要とされます。Cadence® Allegro® Design Authoringは、回路図やスプレッドシート・ライクなインターフェースにより設計意図(接続性とハイスピード制約)の迅速な入力を実現する、スケーラブルで使いやすいソリューションです。

Allegro Design Authoring

Allegro Design Authoringは、ニーズへの変化に柔軟に適應するため、「基本ライセンス+オプション」の構成で提供されます。

Allegro Design Authoring(基本ライセンス)の安定的で使いやすい回路図作成環境では、フラット回路図または階層回路図を作成することができます。エンタープライズ対応の回路エディタは、Allegro P-Spice、Allegro PCB SI Signal Explorerおよびシミュレータ、Allegro PCB Designerとシームレスに統合され、デジタル、アナログ、RF、ミックスシグナル設計のためのコンストレイント・ドリブンPCB設計フローを可能にします。

Multi-Styleオプションを使用すると、シンボルを必要とせずに、またはシンボル上のピン/ポートをグラフィカルに接続しなくても、スプレッドシートのようなインターフェースにより、デザインの接続を非常に迅速に作成できます。従来の回路図ベースのアプローチよりも5倍~20倍高速に、多ピン・デバイスまたはバックプレーン設計の設計意図を簡単に入力できます。High-Speedオプションを使用すると、階層的で再利用可能な電氣的制約セット(ECSets)を介し、ハイスピード制約を接続と統合して真の設計意図を作成できます。これにより、コンセプトから製造までのPCB設計サイクルをより短く、予測可能かつ完全なものにするコンストレイント・ドリブンのPCB実装フローが可能になります。

その他の構成には、Team Designオプション、FPGA System Plannerオプション、およびDesign Publisher Optionがあります。

利点

- 設計意図を入力する時間の短縮
- 回路図とレイアウトの同時設計が可能
- 実績のあるコンストレイント・ドリブンフローにより設計スピンを削減
- デザインの再利用が可能な柔軟な設計をサポートすることにより作業の繰り返しを削減しエラーを抑制
- 単一の回路図からデジタル、アナログ、プリレイアウトのシグナル・インテグリティ解析をドライブし、作業の繰り返しを排除
- エンタープライズ展開を視野に入れたスケーラブルな「基本ライセンス+オプション」構成により総所有コストを削減

特長

回路図編集

Allegro Design Authoring は、協調設計アプローチによりワークフローを効率化します。デザインはシートまたはブロックレベルで分割でき、各設計者には1~複数のブロックまたはシートを割り当てることができます。任意の人数の設計者が互いに干渉することなく、同じ設計の異なる部分で同時に作業できます。Allegro PCB Editorでのレイアウトに進む前に、さまざまな設計ステージを組み合わせることができます。この並行設計アプローチにより、大規模な設計の生産性が高まります。設計者は基板レイアウトと回路図を並行して処理します。Allegro Design Authoring または Allegro PCB Editor で行われた変更は、定期的にマージおよび同期化できます。

Allegro Design Authoring の回路図エディタでは、モードの変更なくフラット回路図または階層回路図を作成できます。Cross Referencer を使用して回路図に飛び先注釈を付

けることにより、プロットされた回路図でも信号を簡単にトラッキングすることができます。回路図エディタを使用すると複数のディスクリット部品をすばやく配置することもできます。たとえば、512bit バスに接続する 512 個の抵抗を配置するには、バス上に 1 個の抵抗を配置し、同じ部品を 512 個配置する必要があることを指定するだけで済み、あとは回路図エディタが 512bit 分を接続するので、グラフィカルな部品の配置を大幅に減らすことが可能です。

Allegro Design Authoring のポイント間ワイヤルーターにより、2 つの異なるシンボルにネットを簡単に接続できるため、回路図作成にかかる時間を節約します。同様に、既存ネットに抵抗など 2 ピン構成部品を挿入すると、自動的にピンに接続され、基本回路図を作成する時間が短縮されます。

数百枚のフラット回路図を使用している場合でも、複数の階層構造を持つ階層回路図を使用している場合でも、Global Navigation を使用すると、数回のマウスクリックで回路図内のネットまたは部品をナビゲートできます。ドッキング可能な Find ウィンドウと Global Update ウィンドウでは、デザイン全体で部品やプロパティを検索して置換できます。Allegro PCB Editor または Allegro PCB SI から直接ハイライトすることも可能です。

カスタマイズ可能なルールチェック

Allegro Design Authoring は、包括的な検証機能である Rules Checker を使用して、設計のイタレーションを削減します。Rules Checker では、電気的ルールチェックおよびデザインルールチェックを行い、図面規格の検証や、プロパティの名称、シンタックス、および値を修正することができます。Rules Checker には、設計の下流へとつながるプロセスをサポートし、ファンイン、ファンアウト、負荷エラー、電力要件、およびコスト要件をサポートするためのルールも含まれています。Rules Checker は論理設計と実装設計の統合もチェックします。さらに、カスタムルールを定義して、会社やプロジェクトに固有の設計要件への適合を保証することができます。Rules Checker は、回路図、シンボル、および実装ネットリストに使用できます。ルールを定義するためのルール開発ならびにデバッグの環境があり、バッチモードでの実行もサポートされているため、エンタープライズ環境での展開が容易になります。

モジュール設計によるデザインリユース

ほとんどの設計は既存設計をそのまま利用するか、重要な部分を再利用して開始されます。Allegro Design Authoring は、リユースのための複数の選択肢を提供しているため、設計に最も効果的なアプローチを選択できます。古いデザイン、ブロック、またはデザイン全体のシートを再

利用することができるので、作業のやり直しやエラーが削減できます。Import Sheet UI を使用して 1 つのデザインから別のデザインに 1 枚または複数のシートをコピーすることができます。あるいは、異なるデザイン間に選択した回路をコピー/ペーストすることもできます。電気的制約条件についても、ブロックの一部として再利用したり、電気的制約条件セット(ECSets)として再利用したりすることができます。この技術により、リユース・ブロックを作成してライブラリに保存しておき、部品と同じように他のデザインで使用することが可能となります。各ブロックからの接続、制約条件、およびレイアウトも再利用できます。同じブロックを名前の変更やコピーを行うことなく同一デザイン内で複数使用することができます。

FPGA シンボル生成

Allegro Design Authoring は包括的な FPGA デザイン イン ソリューションを提供します。Build Physical ウィザードを使用すると、Allegro Design Authoring 回路図に Xilinx、Actel、および Altera の FPGA をインポートし、Allegro PCB Editor、Allegro Design Authoring、およびデジタル シミュレーション フローを実行するための必要なファイルを自動的に作成できます。Allegro Design Authoring は FPGA へのインターフェースもインテリジェントに管理するため、FPGA ピンの割り当てが変更されたときにボード用の回路図を更新しつつも、論理的には変更されません。

FPGA-PCB の協調設計

Allegro Design Authoring、Allegro と統合された FPGA System Planner は、FPGA-PCB の協調設計のための完全でスケラブルなソリューションを提供し、ピン・アサインの最適性を、構築を進めながら高めていくことができます。FPGA のピン・アサインは、ユーザー定義によるインターフェース・ベースの接続(設計意図)、FPGA ピン・アサイン・ルール(FPGA ルール)、および PCB 上の FPGA の実際の配置(相対配置)に基づいて自動的に合成されます。自動ピン・アサイン・シンセシスは、PCB 上の FPGA 配置に大きく影響する初期ピン・アサインの作成時間を短縮しながら、手作業によるエラーが発生しやすいプロセスを回避します。この独自のピン・アサイン手法により、手作業によるアプローチにありがちなレイアウト設計の繰り返しがなくなります。

FPGA System Planner は Allegro Design Authoring のシンボルを読み取り、Allegro Design Authoring の回路図を作成します。Allegro PCB Editor と統合されており、既存のフットプリントライブラリをフロアプラン・ビューで使用します。レイアウト中に配置が変更されると、FPGA System Planner を使用したピンの最適化に Allegro PCB Editor から直接アクセスできます。

仕向け設計

Allegro Design Authoring の仕向け機能を活用することで、構造レベルで多くの時間と労力を節約できます。仕向け機能により、同じ基本設計でわずかに異なるバージョンの回路図を作成する必要がなくなります。たとえば、市場セグメントの違いに応じて異なるパフォーマンス・レベルを提供したり、様々な地域の要件に対応したりする場合に有効です。部品やワイヤ、またはその他のデザイン要素に代替の属性(群)を割り当てることで、単一のベース デザインから仕向け情報(バリエーション)を派生させることができます。ベース デザインに適用される設計変更(ECO)は、すべての仕向けに自動的に適用されます。

BOM 生成

Allegro Design Authoring は、部品表(BOM)の作成をきめ細かく制御し、お客様のニーズを正確に満たし、製造に必要な全てを含む部品リストが生成できるようにします。ベース デザインまたはその仕向け用の BOM は、callout ファイルにリストされたメカ部品の情報とマージされ、回路図上の電子部品とメカ部品とが組み合わさった一つの BOM として出力できます。回路図の電子部品とメカ部品(たとえば IC とヒートシンク)を関連付けることも可能で、BOM にはその関連付けが表示できます。BOM は ASCII テキスト、スプレッドシート、及び HTML 形式に対応しており、製造担当や他関連部門への供給の際に最適なフォーマットを利用することができます。

PCB Editor との連携

生産性を向上させようとしている全ての設計者にとって、Allegro PCB Editor と統合されている Allegro Design Authoring は回路図エディタの中で最適な選択になります。両ツールを用いた Front-to-Back フローを構築することにより、Allegro PCB Editor から Allegro Design Authoring 回路図へのピン、セクション、および部品のスワップ情報のバックアノテーションにも対応できるようになります。Allegro PCB Editor と Allegro Design Authoring の間で双方向のクロスプロービングを行うと、Allegro PCB Editor の部品をハイライト表示することで回路図上の部品コンポーネントを見つけることができ、その反対も可能です。

配置フェーズでは、Allegro Design Authoring 回路キャンパスの部品を選択して、Allegro PCB エディタで部品配置をすることができます。また、Allegro Design Authoring 回路図の 1 つのページにあるすべての部品を 1 ステップでボード上に配置することもできます。Design Differences を利用すると、設計情報を回路図とボードのいずれかの方向に転送する前に、両者を比較することができます。Design Association では、ボード上に直接追加されたターミネータ

やコンデンサを回路図にバックアノートすることができません。これにより、論理設計とシグナル・インテグリティ設計を並行して進めることができます。Allegro Design Authoring に付属の Physical Viewer では、Allegro PCB Editor でのボード参照が行えます。この参照機能は ECO ならびにその他のドキュメンテーション関連の問題を確認するのに役立ちます。

部品作成

Allegro Design Authoring ソリューションには、シンボルと部品データの作成と検証を可能にする Part Developer が含まれます。Part Developer は、データの入力と編集、複数のシンボル間でのピン分配、電源/グランド ピンの可視性の定義など、強力な機能セットを提供します。

PSPice シミュレーション

Allegro Design Authoring は、アナログシミュレーション用に Allegro P Simulator と統合されています。回路シンボルから Spice シミュレータ モデルを参照できるようにし、Allegro Design Authoring 環境内からデザインをシミュレートすることができます。回路図とシミュレーション環境のクロスプローブを利用し、設計バグを迅速に突き止めることができます。これにより、Allegro Design Authoring のお客様には、Windows プラットフォーム上で、安価で低コストのアナログ シミュレーションおよび検証ソリューションが提供されることとなります。

High-Speed 設計

Allegro Constraint Manager では、フィジカルおよびエレクトロニカルな制約条件を容易にし、制約条件の連携性をより確実なものとし、Allegro Constraint Manager との統合により、Allegro Design Authoring では設計意図を手早く簡単に作成できます。回路作成とコンストレイントが統合されることで、設計意図は下流プロセスに効率的に伝達され、不要な試作が繰り返されるリスクがなくなります。また、コンストレイント・ドリブンの PCB 設計フローを有効にすることで、PCB 実装プロセスを短縮します。

スプレッドシート・ライクなシステムでは、設計データベース内のすべての電気的制約を取り込むことができるため、コンストレイントと設計データを個別に伝達する必要はありません。より高度な機能として、デザインに追加されたブロックからコンストレイントを自動的に抽出、使用、および上書きする機能も含まれます。

Constraint Manager では、電気的制約の種類に応じた複数のワークシートを使い分けれます。これにより、様々なルールを階層的に取得、管理、検証することができます。

Constraint Manager を使用すると、一つの信号集合に適用されるすべての高速制約をグループ化して、電氣的制約セット(ECSets)を形成できます。この ECSets は、ネット グループ内のすべてのネットに関連付けられます。Constraint Manager は、Allegro Design Authoring と Allegro PCB Editor の両方に統合されているため、論理設計段階での制約の付与、管理が容易に行えます。設計段階のどの時点でも、Constraint Manager を起動して、高速制約を追加、表示、および管理することができます。定義された制約はルールとしてデザインに組み込まれているため、エンジニアからのパフォーマンス要件に沿ったルールをソフトウェアが自動適用する中、レイアウト設計者はレイアウトの最適化においてサイズ、配線性、製造性に専念することができます。

RF 回路設計

デジタル PCB システムの多くは、高周波の回路を含んでいます。そのブロックには特別な設計要件があり、Keysight (旧 Agilent)ADS であらかじめ設計されシミュレーションされています。

ただし、このブロックは他のデジタルおよびアナログ回路とともに同じボード上に存在する必要があります。これを可能にするために、Allegro Design Authoring と Allegro PCB Editor は、Keysight ADS で設計された RF ブロックをケイデンスのボード設計フローにインポートするフローを提供します。

Allegro PCB エディタと Allegro Design Authoring は、堅牢なインターフェースを通じて ADS の物理レイアウトとスキマティックを自動的にインポートできます。インポート後、ADS デザインはモジュールのように動作し、そのコンポーネントは Allegro PCB Editor のライブラリ部品に対応付けられます。インポートされたモジュールは、ロック(編集を抑制)またはロック解除(編集を許可)することができます。ロックされていても、モジュールはデザインの他の部分と接続し、ブロックに接続されたネットに制約を割り当てます。

スプレッドシート型設計

Allegro Design Authoring の Multi-Style オプションは、デザインの種類に合ったデザインスタイルを使用することで、複雑な PCB の設計意図を迅速に入力するのに役立ちます。異なるパラダイムを使用して、同じデザインの異なる部分を、独立して個別に、あるいはチームの一部として、作成することもできるため、デザインをより迅速に入力できます。Multi-Style オプションの主要機能は、設計意図を作成するためのスプレッドシート ライクなインターフェースです。多ピンのデバイスやバックプレーンの設計に適しており、回路図で作成された既存のサブセット、例えば、電源

セクションやアナログ/ RF セクションを、簡単に再利用あるいは統合することもできます。

Multi-Style オプションを使用すると、複数の設計者が一つのプロジェクトで同時に作業することもできます。インテリジェントなデザイン比較のエンジンにより、論理設計とレイアウト設計でそれぞれ編集が行われたときに、チームが同時に変更を比較し、調整することができます。Multi-Style オプションは、既存の回路シンボルを活用することはもちろん、回路シンボルが一切もたなくても、デザインサイクル全体で使用できます。回路ブロック挿入、回路ライブラリ利用の各機能があるため、現在のライブラリ資産が保護されます。Multi-Style オプションは、拡張ネット(Xnets)、バス、および差動ペアも認識し、終端、プルアップ、プルダウンおよびデカップリング コンデンサを処理するための高度な機能を提供します。Multi-Style オプションは、オンライン DRC エンジン、パワフルなレポート機能、スキマティック生成機能を備えた PCB 及びパッケージ用の完成された設計ソリューションです。

同時並行チーム設計

Team Design Authoring により、複数の設計者が論理設計の階層設計において非同期で共同作業することができます。

設計は、ユーザー定義の階層レベルに分割し、エンジニアリングチームの定義されたメンバーに配布することができます。担当者は開発と検証のために独立した場を利用できます。

Allegro Design Authoring Team Design Option は、これから設計を行うブロックへのエンジニアの割り当てのため、チーム・アサインメントと通知の機能を提供します。各チームメンバーのブロックの現在のステータスはダッシュボードに表示されます。このソリューションは、大規模で設計期間が限られているプロジェクトにおいて、設計作成プロセスを加速しつつも最大限の柔軟性を実現します。

SKILL プログラム

エンジニアは、SKILL プログラムにより、Allegro Design Authoring をカスタマイズしたり、カスタム コマンドを作成したりすることができます。カスタム プログラムを使用して、回路シート内の設計データの参照や変更ができます。このカスタム プログラムを共通エリアに格納することで、チームメンバーとの共有も可能です。

PDF パブリッシャー

Design Publisher オプションは、Allegro Design Authoring の回路図をオブジェクト埋め込み型 PDF(Adobe Portable Document Format)ファイルに変換

し、セキュアな単一ファイルを生成します。PDF ファイルを使用すると、階層全体のナビゲーションや設計属性へのアクセスが可能になるため、デザイン レビューに最適です。知的財産(IP)はアクセス制御によって保護可能で、レビューのためにどんなデータを公開するかを決めることができます。

その他のユーティリティ

Allegro Design Authoringは、他にも設計期間を短縮する各種ツールを提供します：

- Part Managerは部品が設計データベースと常に同期しているかを確認するため部品の状況をトラックします

- 目次(TOC)の自動生成・管理機能は、回路図ドキュメント生成をスピードアップします
- 電源ピンのへの信号割り当て機能は、一般的に多ピンデバイスで必要とされる電源/グランド接続の手作業による再割り当てを自動化します
- ユーザー定義可能なマウスストロークを使用すると、ツールバー、メニュー、またはコンソールを使用せずに、キャンバス内から直接コマンド(複数可)を実行できます
- ファンクションキーは、複雑な、あるいは頻繁に使用されるコマンド(群)を一つのキーにマッピングし、設計入力タスクを効率化します

Feature	Allegro Design Authoring
フラット及び階層の回路図作成	●
ページのナビゲーション、管理、Hierarchy Viewer	●
Variant Editor (仕向け設定)	●
Project Manager	●
Cross Referencer (ページ間の接続マッピング表示)	●
Archiver (プロジェクトのアーカイブ化)	●
Design Differences (設計差分の抽出、反映)	●
Constraint Manager の Properties Worksheet, Differential Pair Worksheet	●
Net Class のサポート	●
ユーザーによるカスタマイズ	●
Part Manager (ライブラリにある Part_Table と回路図上の部品との矛盾チェック、更新)	●
BOM 生成	●
フィジカルや階層ブロックのデザインリユース	●
ブロックやシートのインポート	●
コピープロジェクトや、デザイン間のコピー&ペースト	●
Check Plus ルールチェッカー	●
Verilog and VHDL Netlisting	●
PSpice との統合	●
Build Physical Wizard for Xilinx, Actel, Altera	●
メニューのカスタマイズ、SKILL を使用したカスタム コマンド	●
PCB Editor とのクロスプローブ	●

Feature	Allegro Design Authoring
Electrical Constraints Sets	High-Speed Option
Physical, Spacing Constraints	High-Speed Option
Same Net Spacing	High-Speed Option
High-Speed Model Assignment	High-Speed Option
SigXp Topology Editor	High-Speed Option
Allegro Viewer Plus	High-Speed Option
Component Revision Manager	High-Speed Option
プロジェクトデータ共有エリアの管理	Team Design Option
チームメンバーのアサイン、通知	Team Design Option
プロジェクトのダッシュボード	Team Design Option
ブロックのマージ及び分割	Team Design Option
編集集中の回路図に対する排他制御 (ロック)	Team Design Option
Out-of-Date チェック	Team Design Option
テーブル/スプレッドシートベースのデザイン作成	Multi-Style Option
回路ブロックのリユース	Multi-Style Option
既存デザインからの Verilog Netlist のインポート	Multi-Style Option
迅速な接続作成機能	Multi-Style Option
テキストフォーマットを使用した接続情報のインポート	Multi-Style Option
オンラインパッケージング	Multi-Style Option
関連部品の取り扱い	Multi-Style Option
スプレッドシートから回路図の自動生成	Multi-Style Option
Verilog データ インポート	Multi-Style Option
カスタムレポート	Multi-Style Option
TCL スクリプトサポート	Multi-Style Option
配置や配線経路を考慮した FPGA ピン・アサイン	FPGA System Planner Option
FPGA サブシステムの回路シンボルや回路図の自動生成	FPGA System Planner Option
Custom-Board ASIC Prototyping with FPGAs	FPGA ASIC Prototyping Option
オブジェクト埋め込みによるインテリジェントな PDF ファイルの生成	Design Publisher Option



日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45
 営業本部
 TEL.(045)475-8410 FAX.(045)475-8415
 〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
 TEL.(06)6121-8095 FAX.(06)6121-7510
 URL <http://www.cadence.co.jp/>

販売代理店 イノテック株式会社 IC ソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6
 TEL.(045)474-2290,2291,2293 (営) FAX.(045)474-2395
 〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
 TEL. (06) 6121-7703 (営) FAX. (06) 6121-7720
 URL <http://www.innotech.co.jp/>