

## Cadence Physical Verification System

より迅速な最終サインオフのためのインデザインおよびバックエンド物理検証

Cadence® Physical Verification Systemは、ナノメートルプロセステクノロジーにおいて数多くのプロダクションテーブアウトでの成功が実証されており、インデザインおよびバックエンドの物理検証、制約検証、信頼性検証を可能にする最高のCadenceサインオフソリューションです。Advanced Node向けに優位性のある分散処理性能を持ち、設計意図の維持、設計コンバージェンスの保証、予測可能なデバッグサイクルを提供するように設計されたCadence Physical Verification Systemは、最終サインオフまでのより迅速なパスを提供します。

### Cadence Physical Verification System

Cadence Physical Verification System(PVS)は、業界標準のCadence Virtuoso®カスタム/ミックス・シグナルおよびCadence Innovus®デジタル設計フローと統合されています。これにより、設計者に徹底した設計とサインオフソリューションを提供します。

PVS は、迅速なトータル・ターンアラウンドタイムでAdvanced Node 設計のサインオフを達成することができる信頼できるソリューションです。効率的で効果的なデバッグツールにより、デバッグ時間を短縮し生産性を向上させます。このソリューションは、Advanced Node テクノロジー（ダブルパターンニング、3D-IC、Advanced デバイス抽出など）をサポートし、物理検証技術の設計信頼性のチェックと制約の検証を拡張します。また、分散型マルチスレッド処理機能を備えており、特殊なハードウェアを必要とせずに処理能力を大幅に向上させます。

### Virtuoso プラットフォームとのシームレスな統合

統合されたコンポーネントとして、Physical Verification Systemは、VirtuosoカスタムIC設計プラットフォーム内でシームレスに動作します。インタラクティブモードでは、PVSはすべての編集に対してダイナミックでリアルタイムにサインオフ・ルールチェック（DRC）を提供します。インメモリ/バッチフルサインオフ検証モードでは、PVSはVirtuoso環境から設計データを直接読み込むことができ、冗長なPcell評価やストリームアウトが不要になります。

また、what-ifアナリシスを使用して生産力を最大化、迅速にチェックできます。結果は Virtuoso Annotation BrowserまたはPVS Results Managerで表示およびデバッグできます。Virtuosoプラットフォームでは直感的なPVSデバッグツール（Interactive Short Locator, Graphical LVS debug）を利用でき、テクノロジー制約、設計制約、およびサインオフルールブックを使用して検証することができます。

### Innovus プラットフォームとのインライン統合

Innovus プラットフォームでは、OpenAccess データベースから Innovus データおよび標準セルデータに直接アクセスしてインタラクティブに検証できます。これは、Innovus デザイン環境からデータを変換せずに PVS を呼び出してエラーマーカをブラウズできることを意味します。PVS を使用することで、サインオフルールファイルを使用して、標準メタルフィルとAdvanced タイミング対応のメタルフィルを生成できます。設計者は、Innovus デザイン環境で PVS Results Manager と直感的なデバッグツールを起動できます。

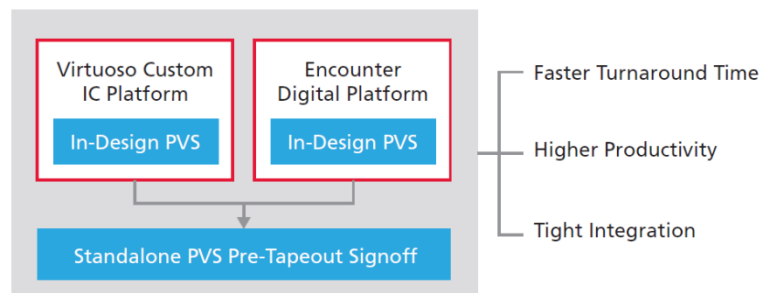


図 1: インデザインやスタンドアロンにて効率的な設計、実装、およびファウンドリサインオフクロージャが可能

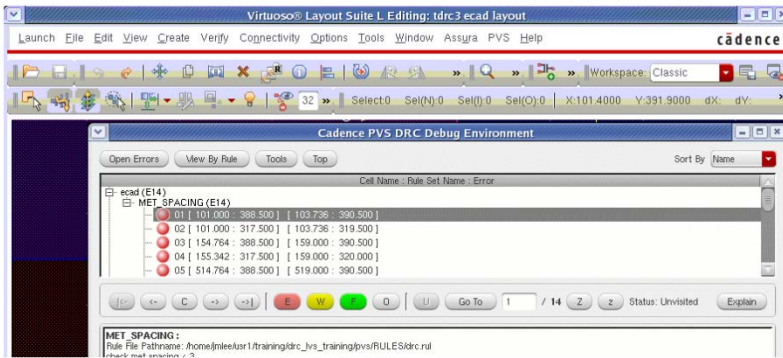


図 2 : Virtuoso GUI 上の DRC デバッグ環境

## 利点

- 実証済みの精度を持つ信頼できるソリューション
- 実装および事前テープアウトサインオフのためのシングルベンダソリューション
- VirtuosoおよびInnovus設計フローとの統合による設計からサインオフまでの納期短縮
- Advanced Node設計をサポートする革新的なテクノロジー
- 強力な直感的なデバッグツールによるデバッグ時間の短縮
- コスト効率の高い並列コンピューティングシステムにより、ハードウェアの変更が不要

## 特長

### インタラクティブおよびバッチ検証

Physical Verification System(PVS)は、インタラクティブモードとバッチモードの両方で動作します。Virtuoso および Innovusプラットフォームに統合されたインタラクティブモードは、設計者が設計コンバージェンスを確実にするために役立ちます。PVS は DFII および OpenAccess 環境でも動作します。さらに、PVS は Cadence QuickView GDS ビューアとシームレスに統合されています。また、完成したチップを検証するためにスタンドアロンでの実行も可能です。

### Virtuoso DRC

従来のDRC使用モデルでは、レイアウト（すなわちGDSII）を出力してからDRC実行を呼び出します。これには、データの準備、ジョブの起動、そしてエラー・データ/マーカをレイアウトビューに戻す必要があります。Virtuoso DRC

は、PVS DRCテクノロジーとVirtuoso Layout Suiteをリアルタイムモードで統合する新しい機能です。この便利な使用モデルにより、レイアウト設計者は、各編集を完了するときに、サインオフレベルのDRCデッキを使用してDRCを実行できます。

レイアウト設計者は、この技術を活用してOA テック・ファイルによるインタラクティブな編集チェックを行うこともできます。ブロッ

ク・レベルとチップ・レベルでは、Virtuosoのメモリ空間からフルファウンドリのサインオフデッキを使用してフルサインオフの検証を行うことができます。Virtuoso DRCを使用すると、レイアウト設計者はVirtuoso環境内で設計、実装、メモリ内サインオフのチェックを実行できます。このジオメトリ・テクノロジーは、構造による正確な構成と動的な検出/検証により、処理時間を短縮し、レイアウト設計者に信頼感をもたらし、最終的に設計品質を向上させます。

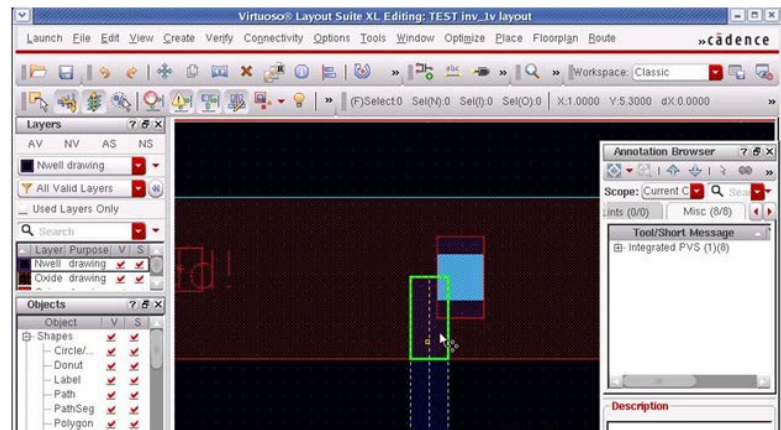


図 3 : Virtuoso DRC テクノロジー

### Programmable Electrical Rule Checker

PVS Programmable Electrical Rule Checker(PERC)は、信頼性リスクを低減し、設計者の意図を一連のルールに変換するプラットフォームを提供します。PERCは、レイアウトの前後の段階で、開発プロセス全体を通して設計者のルールを使用します。開発の初期段階で信頼性リスクが高い箇所を特定し、信頼性リスクを低減するために使用されたソリューションが設計者のネットリストベースおよびレイアウトベースの要件を満たすことを確認します。PVS PERCは、ESD保護されていないデバイスとパッドを見つけたり、ESD保護構造

をチェックしたり、クロスパワードメインのインターフェース構造を見つけてチェックしたりすることに適用できます。PERCは、レイアウト前の段階で一般的なエラー（フローティングゲートや禁止された電源ドメインなど）を見つけるためにも使用でき、サードパーティのIPブロックが設計者の信頼性基準を満たすことを検証するためにも使用できます。

### Constraint Validator

PVS Constraint Validatorは、IC開発プロセスの非常に初期の段階で設計エラーを検出し、そして最終段階で検証することにより、トータル・ターンアラウンドタイムを短縮し設計品質を向上させます。この新しいPVSツールは、たとえば、対称的にルーティングされるべきネットが実際に対称であるか、ハロー距離が考慮されているかどうか等、指定した制約に従って作成されたレイアウトの正当性を検証することができます。Constraint Validatorは、実装段階で従来のツールが最後の寄生抽出段階（すなわち、近接寄生効果によって影響を受けた対称レイアウト）中にしか現れないエラーを検出できます。Constraint Validatorは、ミックスドシグナルルーティングの統合制約がルータによって正しく実装されるように、Cadenceミックスシグナルフローでも使用されます。

### 予測可能なデバッグサイクル

設計者は、デザインルールチェック(DRC)とレイアウト対スキマティック(LVS)のデバッグに多くの時間を費やします。

予期しないデバッグ時間は、スケジュールの遅れを引き起こし製品収益の損失につながります。PVSには2つの革新的なデバッグ・ソリューションが用意されており、設計上の問題を見つけて修正するのに役立ちます。

### Interactive Short Locator

ショート、特に電源/グランド部分のショートは、最も難しいデバッグになります。PVS Interactive Short Locatorは、ワンパス・ショートアイソレーションを容易にし、効率的かつ直観的なLVS デバッグ・ソリューションを提供し、ショートを迅速に検出して解決するのに役立ちます。設計者は、最初の結果が得られるとすぐ実行中にデバッグ解析を開始することができます。

### Graphical LVS debug

複雑なLVSミスマッチの原因を特定することは、非常に時間がかかります。PVSグラフィカルLVSデバッグ・ソリューションは、セル/ブロック設計における複雑なLVSミスマッチの識別を加速します。すべてのエラーと警告を一貫性のある単純なグラフィカルビューで表示することにより、複雑なLVSの不一致を簡単にデバッグし、回路図とレイアウト情報の違いを識別することができます。

PVSは、業界初のVerilog互換のネットリストベースのLVSデバッグ機能も備えています。

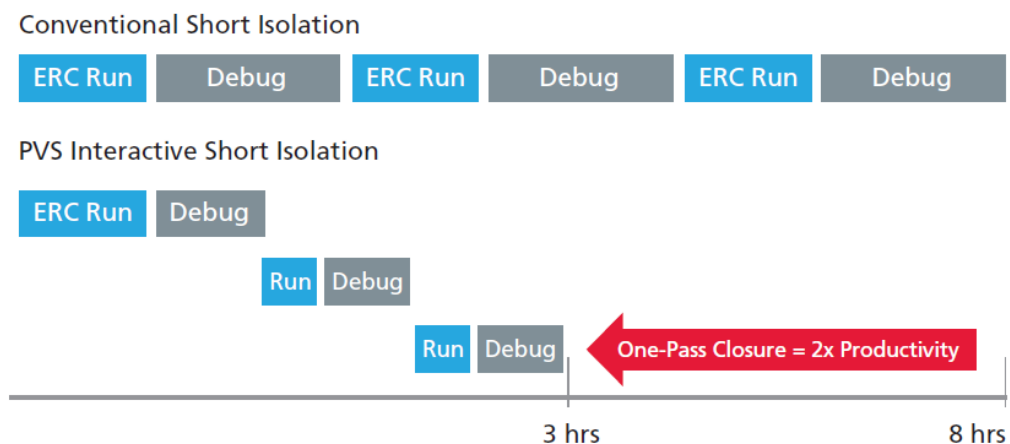


図 4 : Interactive Short Locator によって 2 倍以上の効率向上

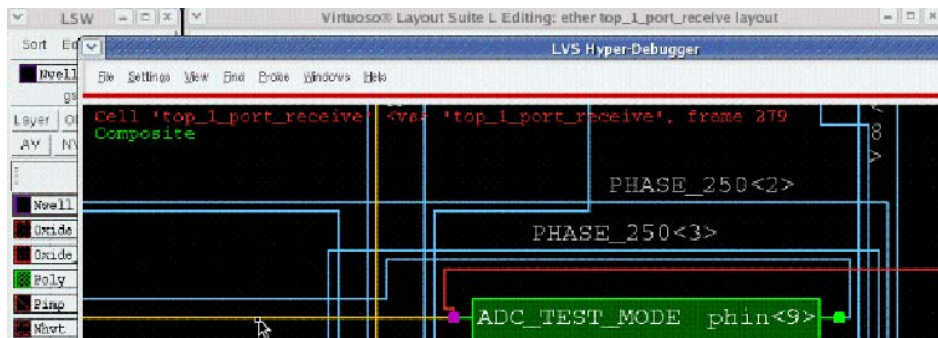


図 5 : Virtuoso GUI 上の Graphical LVS debug

## エラー結果の可視化と管理

PVS Results Managerは、物理検証問題を効率的にレビュー、ウエイブ、修正するための使いやすい対話型のエラーナビゲーションシステムを提供します。Results Managerは、VirtuosoおよびInnovus環境内で起動できます。高パフォーマンスで大容量のデザインデータビューワであるCadence QuickViewとのインターフェースにより、設計者は数十ギガバイトのデザインファイルサイズの非常に大きなシステムオンチップ (SoC) デザインも効率的にデバッグできます。

## 高い処理能力

PVSは、他の物理検証ソリューションと競争力の高いマルチプロセッサ性能を実現します。大規模設計では、低コストの既製のプラットフォームを活用して設計処理能力を大幅に向上させるPVS分散型マルチスレッド処理アーキテクチャを利用することも可能です。

## Quantus QRCフローの互換性

PVSはレイアウト後のシミュレーションフローを合理化することによって、物理検証サイクル時間を短縮することができます。Cadence Quantus QRC抽出フローをサポートし、PVS-Quantus QRC寄生抽出フローを使いやすくするためのTECHLIBセットアップ機能を提供します。GUIおよびバッチサポートは、Quantus QRCからのSPICE, SPEF, DSPFおよびExtractedビュー出力に対して提供されます。

## サインオフ・実証済みソリューション

PVSは、数多くのファウンドリのAdvancedプロセステクノロジーで数百以上のテープアウトの成功を実証しています。

## ケイデンスのサービスとサポート

- ケイデンスのアプリケーションエンジニアは、電話、Eメール、またはインターネットで技術的な質問にお答えいたします。また、テクニカルサポートやカスタムトレーニングもご提供します
- ケイデンスが認定したインストラクターが、70以上のコースを開講しており、実際の現場での経験を教室でお伝えします
- インターネット活用トレーニング (iLS) オンラインコースは 25 以上あり、インターネットを利用して自分のコンピュータで柔軟にトレーニングを受講いただけます
- Cadence Online Support では、最新のソリューション、テクニカルドキュメント、ソフトウェアのダウンロードに 24 時間 365 日、アクセスいただけます
- サポートの詳細については、[www.cadence.com/support](http://www.cadence.com/support)、トレーニングについては[www.cadence.com/training](http://www.cadence.com/training)をご覧ください

**cadence**



### 日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45  
 営業本部 TEL.(045)475-8410 FAX.(045)475-8415  
 URL <http://www.cadence.co.jp/>

販売代理店 **イノテック株式会社** ICソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6  
 TEL.(045)474-2290,2291,2293 (営) FAX.(045)474-2395  
 URL <http://www.innotech.co.jp/>