



“We trust the Cadence Tempus Timing Signoff Solution as our timing tool of choice for all of our SoCs across applications on satellite systems, aerospace control systems, SSD controllers, satellite beamforming, USB products, AI products, RISC-V, and machine learning SoCs. Its performance, coupled with integration within the Cadence Innovus Implementation System, has allowed us to significantly reduce the time we spend in timing closure and achieve better PPA. The size and complexity of our designs, some in the range of ~130M instances, require timing ECOs to be handled efficiently and the Tempus solution was the right timing platform to address our needs. Furthermore, by using the Tempus solution for signoff, we are able to converge and achieve faster design closure time.”

*Parthasarathy Narasimhan,
Sr. Director, ASIC Design Engineering*

CUSTOMER SUCCESS

SiFiveがCadenceのTempus™ ECOおよびサインオフ解析フローを使用し、7nm/12nm/14nm 製品をテープアウト

デザイン

- 先端プロセスノードでのネットワーク/AI/CPU/CPUサブシステム/ストレージ向けチップ

設計課題

- カスタムシリコン製造への最速パス探索
- 先端プロセスノード上で開発される100M以上のインスタンスを含む大規模設計における、クロック構造設計、プロジェクト・スケジュール短縮、およびリーク電力削減

メリット

- Cadence® Innovus™インプリメンテーションシステムとTempus™タイミングサインオフソリューション間の優れた相関性により、PPAゴールをより早期に達成
- Tempus ECOにより、P&Rフローのイタレーションを削減し、リーク電力を8%削減
- Tempus ECOとサインオフ解析フローにより、プロジェクトの設計TATを1.3倍に短縮
- 物理情報を認識し、予測性の高いECO処理

1.3X
TURNAROUND
TIME REDUCTION

8%
POWER
IMPROVEMENTS