

Cadence Modus DFT Software Solution

故障検出率やチップサイズに影響を与えることなくテスト時間を最短で 1/3 に短縮

ケイデンスのModus DFT Software Solutionは、網羅的でフィジカルアウェアな次世代のDFT (design-for-test)、ATPG (自動テストパターン生成)、シリコン診断ツールです。Modus DFT Software Solutionの特許出願中のフィジカルアウェアな2D Elastic Compressionアーキテクチャーを使用することにより、故障検出率やチップサイズに影響を与えることなくテスト時間を最短で1/3に短縮することが可能です。

機能と特長

DFTロジック挿入

- 特許出願中の新しいフィジカルアウェア2D Elastic Compressionアーキテクチャー
- チップサイズや故障検出率に影響を与えることなくテスト時間を最短1/3に短縮するとともに400倍超の圧縮率を実現
- 圧縮率100倍において圧縮ロジックの配線長を最大60%短縮
- 診断、冗長救済解析、ソフトリペアおよびハードリペアが行えるPMBIST (プログラマブル・メモリ・ビルト・イン・セルフ・テスト)
- 組み込みメモリ全体の高速PMBIST実行向けシェアードテストアクセスバスに対応
- 柔軟なtwo-pinダイレクトアクセスやJTAGインターフェイス制御を持つLBIST (ロジック・ビルト・イン・セルフ・テスト)
- 故障検出率、及び検出効率を向上させる、タイミングを考慮したテストポイント挿入
- IEEE1149.1/1149.6バウンダリースキャン対応
- 全体もしくは部分的なスキャン、XORおよびbroadcast/IllinoisスタイルのDecompression、X-maskingを用いたXORおよびMISR compression
- LPCT (ローピンカウントテスト) SmartScan圧縮 (マルチサイトテストに最適)
- 2ピンのみを使用するウルトラLPCT (アナログ/ミックスシグナル設計に最適)
- ロジカルおよびフィジカルアウェアなスキャンチェーンステッチ
- IEEE1500コアテストラッパー対応
- IEEE1687組み込み機器準拠テストへのアクセスおよびテストパターンのチップトップへのマイグレーション
- 高速遷移故障テスト向けOPCG (オンプロダクト・クロック生成) および挿入
- CPF (Common Power Format) およびIEEE 1801を考慮した柔軟なPTAM (パワーテスト・アクセスモジュール) 制御機能により、故障検出時に異なる電圧状態やパワードメインにおいて製造テストが可能
- ダイレベルおよび"inter-die"テスト用シリアル/パラレルテストアクセス構造による2.5/3D積層ダイのラッパーおよびJTAG制御
- DFT関連のすべてのタイミングモード向け自動SDC生成により迅速なタイミングクロージャージャーが可能

テストパターン生成

- ケイデンスのGenus™ Synthesis Solution、Innovus™ Implementation System、Tempus™ Timing Signoff Solutionと統合されたTCLスクリプトおよびデバッグ環境
- スタティック、IDDQ、I/Oパラメトリックフォルトモデルに対応

- タイミングアウェアな遅延（SDCおよびSDF）、微小遅延、フィジカルアウェアブリッジ故障モデル
- RAMシーケンシャルテスト機能
- 特許取得済みのユーザー定義故障モデル
- ケイデンスのSpectre™シミュレーターおよびケイデンスのVirtuoso® Liberate™ソリューションを用いたセルアウェアな故障モデリング
- IEEE 1500/1687ネットワークを用いた階層SoCテストパターン生成およびマイグレーション
- 複数マシンおよびCPUを利用してほぼリニアな処理速度向上を実現する分散ATPG
- 広範なTclベースのクエリーおよびレポートコマンドを有する強力なテストモードおよびテストロジックデータモデル
- スキャンとキャプチャ時にトグルカウントの制御が可能な低消費電力ATPG

故障診断および傾向の解析

- 強力なシングルパスのマルチデバイス高精度診断によりTATを20倍高速化
- XOR、MISR、SmartScan、2D Elastic等の対応する圧縮アーキテクチャーすべてにおいてシングルパス診断
- OA（OpenAccess）との統合により、論理回路図とVirtuosoレイアウトエディター間でフィジカルアウェアな診断のコールアウト表示やクロスプローブを実現
- ケイデンスのDFMパターン解析との統合により、根本原因解析に対応
- ボリューム解析ツールおよび手法により重要な歩留りのボトルネックとなる箇所を特定し、より迅速なランプアップを実現

2D Compression

チップのフロアプラン全体に、フィジカルアウェアな2次元のグリッド構造を持つスキャン圧縮ロジックを形成するModus 2D Compressionの機能により、従来のXOR圧縮ロジック（1D Compression）と比較し、配線リソースを半減させることが可能です。さらに この2次元のグリ

ッド構造は圧縮率とほぼリニアにスケールしますので、圧縮率を400倍超に上げても、従来のXOR圧縮ロジック（1D Compression）を用いた100倍圧縮時と同等の優れた配線リソース消費率を実現します。

Elastic Compression

デコンプレッサー内にレジスター、およびシーケンシャルなフィードバックループを組み合わせたXORロジックを構築します。この回路のシーケンシャルな特性により、**Modus ATPG**は1つのキャプチャサイクルに対してマルチシフトサイクルを利用してレジスターの値を制御することが可能になります。また、Modus ATPGはテストパターン中のシフトサイクル数をスキャンチェーン長よりも大きくするように調整することも可能ですので、さらに制御性がよくなり、より困難な故障も検出しやすくなります。**Modus Elastic Compression**では、故障検出率や故障診断に影響を与えずに圧縮率400倍超を実現することができます。

テストポイント挿入

故障検出率の向上とテスト時間の短縮は**Modus TPI**フローの2大メリットです。2つの異なる解析アルゴリズムすなわちhigh-care bit要件により起こるhard-to-test故障をターゲットとし検出率を向上させるDeterministic Fault Analysis、およびRandom stimuliに対する障害により起こるhard-to-test故障をターゲットとしパターンカウントを削減するRRFA（random resistant fault analysis）により、Modusテストポイントは検出率とパターンカウントのギャップを効果的にうめます。Modus TPIはGenusに緊密に統合されているため、合成プロセス実行中にGenus Synthesisソリューションから実行可能です。そのため、TPIに不慣れな合成技術者向けのフローが簡略化されます。この緊密な統合により、タイミングドリブなスラックベースのテストポイントの選択といった包括的な実行時間制御とともに、設定したいテストポイントに合わせてModus TPIを位置づけることができます。

ポリウム診断

大きなコストや時間がかかることがあるPFA (physical failure analysis) を通じて単一シリコンの故障や根本原因を解析します。収益性をいち早く向上させるには **Modus Diagnostics** volume解析機能によりもたらされるlimiting yield rampの観点から最も統計的に有意である故障ダイを選択することが不可欠です。Modus Diagnostics precision diagnosisエンジンのトップに構築されたポリウム解析は分散処理や複数の故障診断を利用して多くの故障ダイの高速診断に対応し、さらなる解析を行うため高速SQLデータベースにこれらの故障をロードします。データベースが作成されると、Modus Diagnosticsポリウム解析が故障動向を解析しParetoチャートとwaferマップを生成してcritical-yield-limiting故障を特定します。解析結果により歩留りを向上するよう、このようなlimiting-defectの種類を示すシリコン故障がPFAに送られます。

Low-Power Test

消費電力を効率よく管理することは、シリコンテストにとって非常に重要です。超低電力レベルのテストにおいては消費電力に影響を受けやすい故障を見逃す可能性があり、逆に非常に高い電力レベルのテストにおいては、パワーグリッドやテスターのオーバードライブによって疑似故障の検出や歩留まり悪化の要因に繋がる場合があります。Modus DFT Software SolutionはGenusにおけるCPFおよびIEEE 1801 power-intent-driven DFT挿入をはじめとしてテストモードパワーを制御するQ-pin、およびクロックゲーティングなど包括的な低消費電力テストソリューションである **Modus ATPG**を提供します。Modus ATPG低消費電力機能はスキャンとキャプチャ時にトグル率の制御機能を持ち適切なバランスをとるパターンセットの生成と、テスターにおける機能的な消費電力との高い相関性を保持します。

ミックスシグナル・テスト

ケイデンスは長年にわたりミックスシグナル設計のリーダーであり、OpenAccessデータベースを通じてすべてのケイデンスツールの相互運用性に取り組んでいます。

Modus DFTはすべてのDFT挿入をGenus Synthesis Solutionとネイティブに統合しており、また、OpenAccessデータベースのリード/ライトが可能です。多くのミックスシグナル設計はsmall、high-volume、low-marginなカタログ部品ですのでModus DFT Software Solutionは、low-pin-countテストへの対応（最小で2ピン）およびパッケージやピンリミットに対応するSmartScan圧縮を提供し、スケーラブルなmulti-siteテストを実現します。X-sourcesがデジタルテストに悪影響をおよぼすことを回避するためにIEEE 1500ラッパーを自動的に挿入し、効率的にアナログ絶縁を行います。**Modus Diagnostics**はOpenAccessデータベースにより**Virtuoso Layout Suite**と統合されているため、高速な故障箇所の検出に対応する診断実行中に、歩留まり向上に不可欠なhigh-volumeデバイスや、bridging故障モデルの自動生成、および回路図とレイアウトのクロスプローブ機能による可視化が実行可能です。

Automotive Test

車載アプリケーションの設計はサイズや複雑さの観点でますますハードルの高いものとなってきており、ISO 26262による安全基準の要件を満たすために必要な製造テストの高いカバレッジ (99.9%) やZero-DPMは、車載機器の設計者にとって大きな課題となっています。TPIと**Modus Logic BIST**の統合はISO 26262の要件を満たすための完璧な組み合わせです。LBIST挿入およびチェックはGenusで自然に行われX-state blocking等のLBISTの組み込みが簡素化されます。**Modus TPI**は、安全基準に照らし限られたLBISTのテストサイクルを実現し、LBISTカバレッジが飛躍的に向上しています。さらにModus Test solutionの柔軟な故障モデリングによりcell-internal、gate-exhaustive、cell-aware、bridging defectモデリング等DPMを最小化するさまざまな故障モデリング手法を使用可能になります。Memory BIST (MBIST)、IEEE 1500への対応そして広範な圧縮ポートフォリオにより完結したModus Testソリューションは、車載アプリケーション設計の各分野に対応します。

cadence[®]



日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45

営業本部

TEL.(045)475-8410 FAX.(045)475-8415

〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F

TEL.(06)6121-8095 FAX.(06)6121-7510

URL <https://www.cadence.com/jp/>

販売代理店 **イノテック株式会社** ICソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6

TEL.(045)474-2290,2291,2293 (営) FAX.(045)474-2395

〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F

TEL. (06) 6121-7703 (営) FAX. (06) 6121-7720

URL <http://www.innotech.co.jp/>

© 2016 Cadence Design Systems, Inc. All rights reserved worldwide.

CadenceおよびCadenceロゴは、Cadence Design Systems, Inc.の登録商標です。

その他記載されている製品名および会社名は、各社の商標または登録商標です。

* 掲載の内容は、2016年2月現在のものです。