

Virtuoso Variation Option

Advanced statistical exploration of your design

Cadence® Virtuoso® Variation Option は、Virtuoso ADE Assembler および Virtuoso ADE Verifier の統計ばらつき解析をより高度な解析を可能にするように機能を拡張し、特に Advanced-node デザインや高いシグマの検証を必要とするデザインに対して有効です。

Virtuoso ADE Product Suite の概要

新しい Virtuoso ADE Product Suite は、設計者が設計期間のあらゆる場面で設計の意図を維持し、デザインをそのゴールに対し完全に探索、解析、検証できる環境を提供します。アナログ・シミュレーションの制御と管理に対し、業界を牽引するソリューションとして、Virtuoso ADE プロダクト・スイートは、設計者がデザインフローにおいて最善の製品を選択できる柔軟性を提供します。Virtuoso ADE Explorer は、モンテカルロ統計解析、コーナー・スイープ、Pass/Fail 判定、および Cadence Spectre® Simulation Platform を使ったリアルタイム・チューニングのサポートを含む、シミュレーションの容易な実行により、解析処理をすばやく開始できる環境を提供します。

Virtuoso ADE Assembler は、Virtuoso ADE Explorer の機能を複数のテストベンチを同時に扱えるように拡張した環境で、大規模アナログ・ブロックのすべての側面を監視できるよう、必要に応じて仕様比較シートやデータシートを生成し、すべての結果を容易に、かつ直接レビューすることができます。Virtuoso ADE Assembler には、寄生の解析、パラメータの再センタリングによるデザイン・マイグレーション、ばらつき解析のタスクを簡素化するワーストケース・コーナーの生成の機能も含まれます。先端プロセスノードや高シグマ・デザインの主要な課題に対応するため、Virtuoso Variation Option で、FinFET の高速モンテカルロ解析、高歩留まり見積もり、歩留まり改善フローを利用できます。最終的に、Virtuoso ADE Assembler と

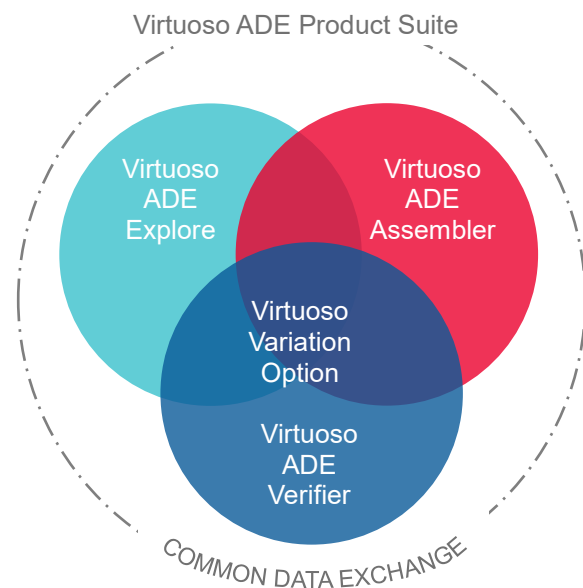


図 1. Virtuoso ADE Product Suite

Virtuoso ADE Explorer の実行結果は、Virtuoso ADE Verifier に取り込まれ、上位の回路仕様と異なる設計者や設計拠点で開発された個々の解析テストの対応を取ることができます。ステータスは 1 か所で管理されるため、図 1 に示すように回路設計者は常にデザインの完全なステータスを把握することができます。

Virtuoso Variation Option Overview

Virtuoso Variation Option は、アナログや RF デザイン、カスタム・デジタル・デザインなど広範囲におよぶ統計の調査に対応しています。Virtuoso ADE Explorer と Virtuoso ADE Assembler でセットアップされたテストと仕様に対して動作し、より高性能な解析が必要となる分野に、ツールの持つ統計解析機能を拡張します。

主な利点

- ▶ 歩留まり検証などのタスクや統計コーナーの作成を選択し、ターゲットとなるシグマを指定するだけで、適切な解析を可能とします。
- ▶ 効果的な 3 シグマのコーナー作成と FinFET の高速化による歩留まり検証を行います。
- ▶ 4, 5, 6 シグマレベルでの設計の外部境界をチェックするための高歩留まり見積もり機能を提供します。
- ▶ ミスマッチ寄与解析と統計感度解析により、統計シミュレーションの最も影響のあるデバイスを特定します。
- ▶ 歩留まりを可能な限り高めるように、統合された歩留まり改善フローでは一連の解析が実行されます。
- ▶ Virtuoso Schematic Editor および Virtuoso Layout Suite との密接な統合により、迅速なテスト開発とレイアウト中のデザインに含まれた物理効果のデバッグを行うことができます。

主な機能

Task-driven user interface

既存の歩留まりのための設計では、デザイン・パラメータのチューニングと Monte Carlo シミュレーションを繰り返し実行することが必要です。この方法は非常に時間がかかり、かつ Monte Carlo シミュレーションのサンプリング数を正しく指定できない場合、設計不良や過剰設計を引き起こします。より効果的なフローは、初めに回路のワーストケースを示す統計コーナーを作成し、次に、それらのコーナーを満たす設計を行い、最後に歩留まりの検証を行うことです。タスクドリブンの UI を用いることにより、設計者はタスク(歩留まりの検証、または、統計コーナーの作成)と歩留まりの要求を指定するだけで、従来の手法より数倍高速かつ最適なアルゴリズムが自動で設定されます。

Efficient 3-sigma analysis

広く利用されている 16nm 以下の FinFET テクノロジーでは、図 2 のように、ばらつき解析に新しい課題が生じています。

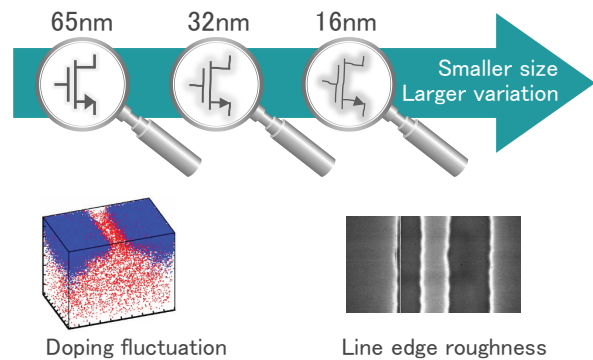


図 2. Variation challenges increase at 16nm and below

これらの課題は、物理実装の前と後の両方において正しく解析が行えなかった場合、設計仕様に重大なリスクを与えることとなります。しかし、この種のデザインの一般的なトランジスタ数と相まって、必要とされる統計シミュレーション数の多さから、統計分散を計算するための伝統的な力づくの方法は、実用的ではありません。そのため、迅速に正確に 3 シグマを解析するための 2 つのアルゴリズムが組み込まれています。

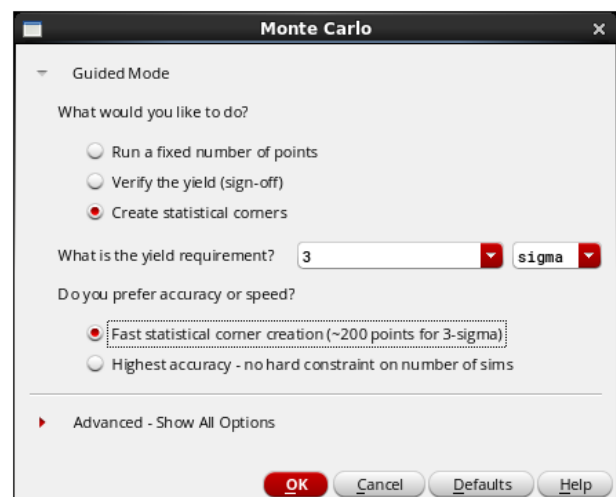


図 3. Create 3-sigma statistical corners

最初のアルゴリズムは、3 シグマ・コーナーを迅速に生成する、かつ、多くて 200 Monte Carlo サンプルのみを必要とする手法です。線形性が強い出力の場合、モデルのフィッティングには 50 ポイントで実行が可能です(対して、従来の Monte Carlo 解析では、一般に 2000 サンプルが必要となります。)シミュレーション・リソースがしっかりしている場合には、リソース内で可能な限り正確なコーナーを作成する高速統計コーナー(fast statistical corner)アルゴリズムを選択します。

2 番目のアルゴリズムは、精度を損なうことなく解析工程を速度向上するために、Monte Carlo の並び替えが用いられます。主要なファウンダリとの協業により、このフローは、ファウンダリが提供する API をコールし、図 4 に示すように、解析の速度向上を図ることで、FinFET デザインをより効率的にシミュレーションすることを可能にします。サンプリングの並び替えのアルゴリズムは、歩留まり検証およびコーナー作成に利用することができます。

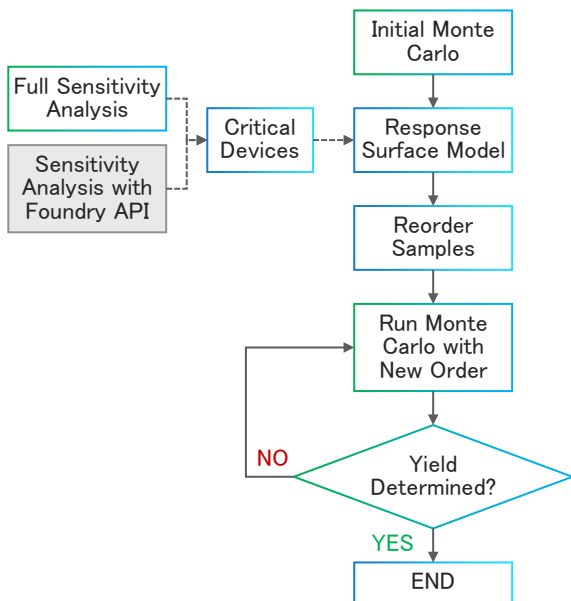


図 4. Cadence's new method for statistical analysis of FinFET

High-yield estimation for 4-, 5-, or 6-sigma analysis

パラメトリック高歩留まり推定 (high-yield estimation) は、非常に大容量のデバイス (例えば、メモリ・デバイス) や、部品の故障が避けられない場合の回路の限界をテストする必要がある場合 (自動車の安全機能や医療デバイスなど) に、多くの場合、要求されます。しかし、6シグマは、回路故障を10億個に2つ以下、もしくは、99.9999998%以下であることを判断するためのテストを意味し、従来の Monte Carlo 解析の手法では非現実的です。

パラメトリック高歩留まり推定を実行するための2つの手法があり、テストする回路の条件により選ぶことができます。

- ▶ Scaled-sigma sampling (SSS): この推奨される統計手法は、標準偏差が大きくなったサンプルを生成し、非線形動作に対して、WCD の手法よりも精度が高く、統計パラメータと仕様が多く存在する場合に、より効率的です。
- ▶ Worst-case distance (WCD): この統計手法では、process/mismatch のパラメータ空間におけるノミナル・ポイントから仕様の境界までの最短距離を計算します。通常、WCD は各仕様に対して 100 未満のシミュレーションを必要とし、測定や変更が必要なスペックやパラメータ数が少ないデザインに適しています。

Mismatch contribution analysis

ミスマッチ・コントリビューション解析は Monte Carlo 解析のポストプロセス機能です。この機能は、ミスマッチのばらつきに重要なコントリビュータを特定することに利用できます。回路図内の特定されたデバイス (図 5 のリスト) を修正し、ミスマッチのばらつきを抑える対策が考えられます。この方法は、既存の Monte Carlo 解析の結果への適用や、Sensitivity Accuracy の手法を使用することで自動的に必要最小限なポイント数での実行が可能です。

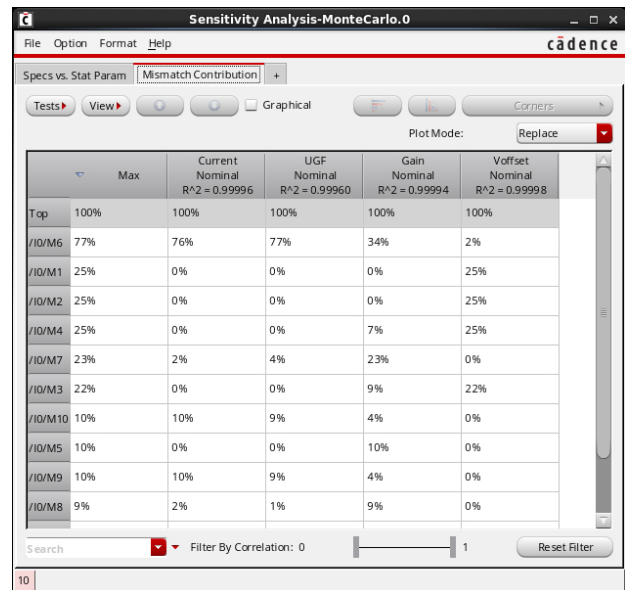


図 5. Use mismatch analysis to identify the most critical devices in the design

主な仕様

Analyses

- ▶ Virtuoso ADE Assembler および Virtuoso ADE Explorer とシームレスに動作します。
- ▶ Virtuoso Schematic Editor XL からのマッチングと関連のコンストレイントをサポートしています。
- ▶ FinFET の高速化を含むハイパフォーマンスな統計解析を可能にします。
- ▶ Virtuoso Multi-Mode Simulation と統合されています。
- ▶ 統計解析からシミュレーション・コーナーを作成できます。
- ▶ スケマティックとレイアウトへのクロスプロービングとアンテーションを行うことができます。
- ▶ 最適化や統計に基づく自動歩留まり改善を行います。
- ▶ 高シグマ統計コーナーを作成します。

Visualization

- ▶ ヒストグラムによる pass/fail の表示
- ▶ 散布図プロット
- ▶ 正規化テストによる Quantile プロット
- ▶ value, yield, mean, sigma vs. sample イタレーションのプロットとプリント
- ▶ 関連テーブル
- ▶ 組み込みの波形計算機能

Distributed processing

- ▶ 複数シミュレーションの分散処理
- ▶ コンピューター・ファームの効率的な使用
- ▶ 基本的なロード・バランス・システムの組み込み、および、他のロード・バランス・ツールとのインターフェイス

- ▶ ジョブのモニタリングと制御機能
- ▶ 設定とステータス確認のグラフィカル・インターフェイス

Cadence Services and Support

- ▶ Cadenceのアプリケーションエンジニアは、技術問い合わせに回答いたします。Cadenceでは、テクニカルな支援や個別のトレーニングコースも用意しています。
- ▶ Internet Learning Series (iLS)のオンラインコースでは、インターネット経由で、自身のコンピュータ環境でトレーニングを自由に受講することができます。
- ▶ Cadence Online Supportでは、沢山の最新のソリュー

ションや技術資料の参照や、ソフトウェアのダウンロードが可能です。

- ▶ サポートについての詳細は、以下をご覧ください：
<https://www.cadence.com/support>
- ▶ トレーニングについての詳細は、以下をご覧ください：
<https://www.cadence.com/training>

cādence®

ケイデンスは、電気・電子設計におけるグローバルな革新を可能にし、今日のエレクトロニクス製品を生み出すために重要な役割を果たしています。お客様はケイデンスのソフトウェア、ハードウェア、知的財産 (IP)、ノウハウを活用して、今日のモバイルアプリケーション、クラウドアプリケーション、コネクティビティアプリケーションを設計、検証できます。www.cadence.com/jp

© 2020 Cadence Design Systems, Inc. All rights reserved worldwide. Cadence および Cadence ロゴは Cadence Design Systems, Inc. の米国またはその他の国における登録商標です。その他記載されている製品名および会社名は各社の商標または登録商標です。13812 03/20 SA/RA/PDF