

Addressing Process Variation and Reducing Timing Pessimism at 16nm and Below

By Ahmed Elzeftawi, Sr. Principal Product Manager, and Ken Tseng, Software Engineering Group Director, Cadence

16nm 以下のプロセスになると、OCV (on-chip variation) が非常に重要な課題となります。プロセスばらつきが増えることは、タイミングに大きな影響を与えます。これは、超低電圧動作条件の低電圧デザインにおいて、より顕著になります。このペーパーでは、より精度のよいライブラリ・キャラクタライズとばらつきモデリングを含む新しい手法を用いて、これらのプロセスばらつきの効果を考慮しライブラリ・ファイルのタイミング・マージンをどのように減らすことができるかについて論じます。そして、優れたライブラリ・キャラクタライズにより、タイミングの悲観性（ペシミズム）を減らし、タイミング・サインオフの加速について示します。

目次

Introduction.....	1
Variation Drivers.....	2
Analytical Approaches to Address OCV.....	2
Modeling Random Variation	3
Accurate Library Characterization Suite Reduces Timing Pessimism.....	4
Summary	6
References.....	7

Introduction

今日の多くの設計では、ファウンダリや IP プロバイダからライブラリ・ファイル入手します。この取り組みは、多くのシナリオ（例えば、プロセス・ノードが 90nm やそれ以上に大きい場合および高いパフォーマンスや速度を要求しない場合、さらに、そのデザインがトランジスタのしきい値電圧の 3 倍以上で動作している場合）において問題がありません。大きなプロセス・ノードでは、タイミング・マージンは単にタイミング制約全体の重要な部分ではありません。しかし、これらのライブラリ・ファイルを頼りにすることは、高速もしくは高性能な設計を目的とする場合、特に、アドバンスド・ノード・プロセス（16nm 以降のプロセス）設計において問題となります。

ファンダリや IP プロバイダがスタンダード・セルや I/O、メモリ、ミックスドシグナル・ブロックのライブラリを作成する場合、タイミング遅延と制約をモデル化し、タイミング違反をカバーするようにマージンを追加するためのシミュレーションを実行します。しかし、IP プロバイダやメモリ・コンパイラから提供されるプリ・パッケージは、特に、マクロの正確なコンテキストがチップに配置されるまでわからないことにより、必要とされる精度が足りないこともあります。

アドバンスド・ノードにおいて、増加するプロセスばらつきは、結果としてタイミング・マージンのライブラリへの追加をもたらします。これは、高い歩留まりを得るために実行を遅くする

か、早い設計をするために歩留まりを下げるかという、小さな工程でのトレードオフを生じます。

IoT やウェアラブル、モバイルのアプリケーションの設計では、アドバンスド・ノードのプロセスの低消費電力とハイ・パフォーマンスの利点を活用するために、これらのノードが利用されます。アドバンスド・プロセスの電力 (power)、パフォーマンス (performance)、エリア (area) の PPA のメリットの十分に活用するためには、チェックでタイミング・マージンを維持することと、タイミング・マージンを削減することによりタイミング・サインオフを加速することが重要です。

Variation Drivers

アドバンスド・ノード設計では、高品質のシリコンを実現し、不正確なサインオフ解析に起因するリスポンを避けるために、さらに多くのライブラリ・ビューを必要とします。これらのプロセスでは、リーク電力を管理するために、それぞれが異なる電力とパフォーマンス特性、および、低ノミナル電圧でハイ・スレッシュホルドのセルを有することは珍しいことではありません。

また、インスタンス固有の電圧変動や温度勾配を正確にモデル化するには、多くの電圧や温度にわたる各ライブラリ・プロセス・コーナーをキャラクタライズすることが重要であることが分かります。多くのアドバンスド・ノード・プロセスでは、歩留まりを向上させ、面積とパフォーマンスのトレードオフをとるために、一般に代替のセルライブラリーが提供されます。

タイミングばらつきについて、さらに多くの考慮すべき寄与成分があります。例えば、アドバンスド・ノードでは、ゲート長が短くなり、単体トランジスタのしきい値電圧 (V_{th}) ばらつきが増加します。同時に、IoT やウェアラブルなどの製品により求められる低消費電力と長いバッテリー・ライフを持続するために、電源電圧 (V_{dd}) の値が低くなります。この二つの状況の結果から、タイミングばらつきが増加し、より顕著になります。そのような事から、チップがタイミング制約を守っているかを確認するために、ウェハの fast コーナーや slow コーナーの一群によるタイミング解析の実行をすることは、もはや十分ではありません。今日、個々のウェハ全体にわたって、さらに、ダイ内においても、問題となるばらつきが存在します^[1]。

実際、新しい手法により新しいタイミングばらつきモデルを作成するには工数がかかります。しかし、セルに余分のタイミング・マージンを与える余裕がありません。タイミングの悲観性を削減するには、より精度の良いライブラリのキャラクタライズとばらつきモデリングのソリューションが必要です。この利点は、初期投資よりも重要です。

Analytical Approaches to Address OCV

OCV に対応するために、スタティック・タイミング解析 (STA) に手法の進歩が見られます。Monte Carlo 解析は、各タイミング・アーク、立ち上がりや立ち下がりエッジやトランジション、サイド・インプットの条件、入力スルーや出力負荷の依存性を考慮して、タイミングばらつきの対処に最も正確です。その一方で、ライブラリ内のセル数、シミュレーションが必要なコーナー数、各セルに対するスルーや負荷の乗数を考慮すると、最終的には各ライブラリに対して数十億のシミュレーションの実行が必要になります。

OCV ディレーティング (derating) は 1 次アプローチとして導入されました。この処理では、本質的に全てのセル・インスタンスに、単一のディレーティング係数が与えられます。その欠点は、選択したパスの長さにより、結果が非常に楽観的か悲観的のいずれかになります。繰り返しますが、デザインが高速デザインでなければ、これらの不正確さがあっても問題にならないかもしれません。しかし、アプリケーション

ン・プロセッサなどの高速デザインでは、マージンを削減しデザイン・パフォーマンスを改善するには、より高い精度が求められます。

2000年初頭、統計的 STA (SSTA, statistical static timing analysis) が OCV の不正確さに対処するための有望な代替的な手法として登場し、完全な統計分散を実現しました。高い精度を提供する一方で、SSTA ライブラリの生成は非常に負荷が大きく、解析の実行には、大きなメモリーと長い実行時間を必要とします。さらに、当時のタイミング・サインオフ・ツールは、提供されるデータ量に対して準備が不十分でした。

Advanced OCV (AOCV, advanced on-chip variation) は、悲観性を削減するためにパスの長さへの依存性に対処します。本質的に、ライブラリ内の各セルを用いて、同じセルのチェーン (chain) を配置し、その間にある寄生素子を見積もり、列の長さ、早期もしくは遅い到着、さらに、立ち上がりや立ち下がりエッジの関数としてタイミング・ディレーティング係数を見つけ出します。

この AOCV の方法論は、ディレーティング係数を表すために、セルが入力から出力までに複数アークを持つかどうかを考慮せず、しばしばワースト・ケースのアークを用いるような、一つのアークを使用します。また、AOCV では、セルの出力の負荷や入力スルー、サイド・インプットの動作条件を考慮しません。AOCV の方法論では、チェーンを負荷とみなします。しかし、実デザインで使用されるセルについて、クロック・ツリーにおいてバッファ・チェーンやインバータ・チェーンを見ることがありますが、AND や OR、その他のロジック・ゲートのチェーンを見ることはありません。このことから、AOCV モデルは、クロック・バッファやインバータでは問題ないと考えられますが、それ以外には向きません。さらに、AOCV は、スルーと負荷に関係なく同じセルのインスタンス間で同様の統計ばらつきを前提とすることから、SSTA と比較すると、非常に楽観的もしくは悲観的な傾向となります^[2]。

Statistical OCV (SOCV, statistical on-chip variation) は、より完成度の高い統計的な表現のモデルです。SOCV は、ピンから related ピンへの依存性、同じセルの他のサイドピンの値、入力スルーや出力負荷を考慮し、統計分布の初期および後期 (それらの値が異なる場合) のシグマ因子の値を与えます。SOCV のばらつきモデルは、SSTA ほど負担をかけずに SSTA に近い精度を可能にします。

長い時間を経て、Liberty Technical Advisory Board (LTAB) は、既存のタイミング・モデル、ノイズ・モデル、パワー・モデルと共に OCV モデリングを含む統一された Liberty Variance Format (LVF) に収束しました^[3]。SOCV と同様に、LVF はタイミング・アーク (pin, related_pin, when 条件) 毎のシグマのスルーや負荷に依存したテーブルとしてのばらつきデータを表現します。このテーブルは、遅延、遷移、制約のばらつきモデルに対応しています。主要なファンダリは、アドバンスド・ノードでの LVF の対応に取り組み、タイミング・サインオフ・ツールの更新をしています。

SOCV や LVF モデルのばらつきモデリングの忠実度の向上したタイミング・サインオフ・ツールでは統計的な到着時間の伝搬に SSTA のエンジンを利用します。タイミング・データの値は、統計の平均値とシグマ値により同時に表現されます。ユーザーは、いつでもタイミング・データの離散的表現を検索して、必要に応じて統計的表現および/または離散的表現のレポートを取り出すことができます。

Modeling Random Variation

それでは、どのようにすれば指定のセルのばらつきモデルを効果的に作成できるでしょうか。最初に、特定のセルの与えられたアークに対して、次に、どのトランジスタがばらつきに影響を与え、どのトランジスタが影響しないかを確定し、タイミングばらつきへの影響を評価する必要があります。さらに、入力ス

ルーと出力負荷の影響、および、評価が必要な全てのプロセスばらつきパラメータの影響も考慮することが必要です。経路内の異なるトランジスタが違った振舞いをするものとして、各トランジスタがタイミングを取ったときの影響のための遅延ばらつき曲面を生成します。これらの曲面を結合し、さらに、それらが完全に相関を持っている場合には、結果として悲観的な結果が得られます。より精度が高く悲観的ではない結果を得るために、どのようにセル内の全てのトランジスタの統計標準偏差を効率的に組み合わせて作成すればよいでしょうか。

ランダムばらつきをモデル化するために、いくつか考察する項目があります。

- 各トランジスタは、セル内の他のトランジスタとは独立してばらつきます。
- 各アークのトランジスタ毎の影響を解析し、このデータをライブラリの前期と後期のシグマ値と新しいばらつきの構造にまとめる必要があります。

例として、図 1 を考えてみましょう。ここで、4つのトランジスタの V_{th} のばらつきは、 V_{thn1} 、 V_{thn2} 、 V_{thp1} 、 V_{thp2} と表されています。

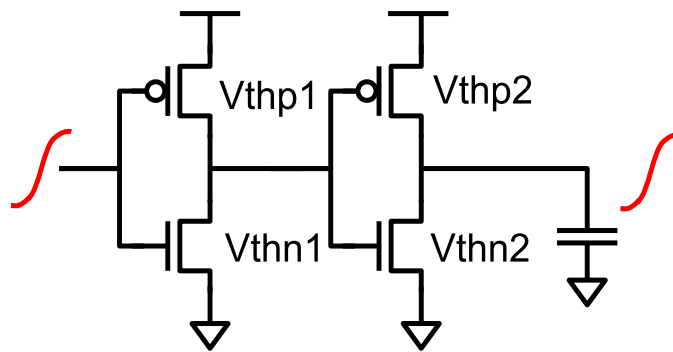


図 1: ランダムなしきい値電圧ばらつきをもつバッファの例

表 1 は、立ち上がり間の遅延を測定したバッファのランダム V_{th} ばらつきの結果を示しています。

	Nominal	d(V_{thn1})	d(V_{thp1})	d(V_{thn2})	d(V_{thp2})	Sigma
RR Delay	97ps	7.3ps	0.04ps	0.24ps	3.6ps	8.1ps

表 1: バッファのランダムなしきい値電圧ばらつきと、立ち上がり間の遅延に対する影響

重要な精度と速度を提供するには、LVF を生成するライブラリ・キャラクタライズとばらつきをモデル化するツールは、異なるセルを自動認識しワースト・ケース条件の結果となる入力を識別できなければなりません。さらに、与えられたセルとアーキテクチャに対して、どのトランジスタがばらつきに影響して、どのトランジスタが影響しないのかを、ツールが特定する必要があります。

Accurate Library Characterization Suite Reduces Timing Pessimism

Cadence は、スタンダード・セル、I/O、メモリーやミックスドシグナル・ブロックについてのノミナルの特性や統計的な特性、ばらつきをモデル化し、ライブラリを検証する、統合的な Liberty ライブラリ・キャラクタライズ群の製品を提供しています。ばらつきをモデル化するツールの実績としては、Monte Carlo シミュレーションをリファレンスとする精度に関して密接な相関をもち、さらに、数桁速い速度で実行が可能です。精度と高い処理能力は、キャラクタライズの入力の生成と最適化するためのツールの独

自の Inside View 技術とエンタープライズ規模のコンピューター・リソースを活用する並列処理機能に由来します。

統計的キャラクタライズとばらつきモデリングの技術は、他にも有効な機能を提供しています。どのトランジスタがばらつきに影響するのかを特定するロジック・コーン感度解析 (logic cone sensitivity analysis) は、特にマルチビット・フロップに対して、シミュレーション・サイズを比較的一定に保つことにより、パフォーマンスを改善します。パス・デルタ制約感度 (path delta constraint sensitivity) は、二分法が複数の解をもつ場合の感度を削除します。非線形ばらつきに迅速に対応することで、このテクノロジーは、非対称なばらつきに起因する精度を改善します。

Cadence® Liberate™ Characterization Suite は、以下の項目により構成されています。

- Liberate ソリューションは、先進的なタイミング、パワー、ノイズのモデルを備えた、スタンダード・セルや複雑な I/O の非常に高速なライブラリ・キャラクタライズを実行するプロダクト群の実績のある基本プロダクトです。
- Liberate LV ソリューションは、ライブラリの関数の等価性やデータの一貫性のチェック、リビジョン解析、タイミングやパワーの相関を提供する、包括的なライブラリ検証システムです。
- Variety™ ソリューションは、ランダムおよびシステマティックなプロセスばらつきのモデリング、AOCV/SOCV テーブルや LVF の生成の機能を提供します。このツールは、グローバルばらつきおよびローカルばらつきに対する遅延感度を計算します。計算は、分散かつマルチスレッドによる実行が可能で、Monte Carlo 解析の実行の必要がありません。
- Liberate MX ソリューションは、最適な実行時間と精度をえるための独自のダイナミック・パーティショニング技術を用いた、カスタムやコンパイラ・メモリー・インスタンスをキャラクタライズします。Liberate MX は、Liberty のタイミング、パワー、リークやタイミングとノイズの高機能モデルを生成することができます。また、Liberate MX は、Variety の技術を使用してメモリーの LVF ばらつきモデルを生成することが可能です。
- Liberate AMS ソリューションは、ハイブリッド・パーティショニング技術とワンステップによる、タイミング、パワー、リーク、ノイズの .lib 生成技術を備えたミックスドシグナル・デザインのキャラクタライズです。

Liberate Characterization Suite の全てのツールは、共通のインフラストラクチャをもち、キャラクタライズの生産性を向上します。これらのツールは Cadence Spectre® Accelerated Parallel Simulator (APS) と統合され (内部でシミュレーションを実行することで)、コマンドラインの使用法と比較して、3 倍のスループットを実現します (外部シミュレータを使うことも可能です)。出力ライブラリは、OCV、AOCV、SOC/LVF 技術をサポートする高速で精度のあるタイミング・サインオフの Cadence Tempus™ Timing Signoff Solution で検証されます。統計平均値とシグマ値が保持されることで、タイミング・ツールは、これら両方の値をタイミング経路に従って伝搬することができます。最終的なタイミング・レポートは、より高い精度の信頼度のために両方の値を与えます。さらに、Cadence Innovus™ Implementation System における SOCV/LVF ベースの最適化は、AOCV と比較して、密度を改善し悲観性を削減します。

図 2 と図 3 は 1GHz クロック周波数で動作したブロックの上位 200 のパスについてのセットアップ・スラック (setup slack) とホールド・スラック (hold slack) の比較プロットです。グラフ・ベースの AOCV タイミング・サインオフの手法ではなく、パス・ベースの SOCV/LVF タイミング・サインオフの手法を用いると、セットアップ・スラックでは平均 150ps、ホールド・スラックでは平均 200ps の改善を見ることができます。

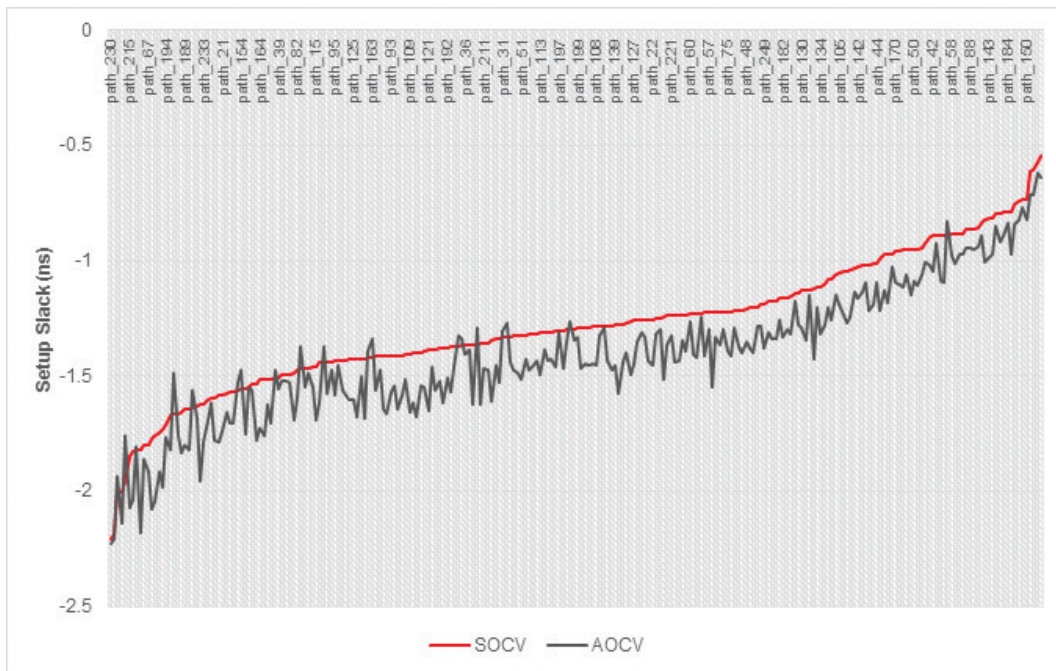


図 2: SOCV/LVF vs. AOCV Setup Slack

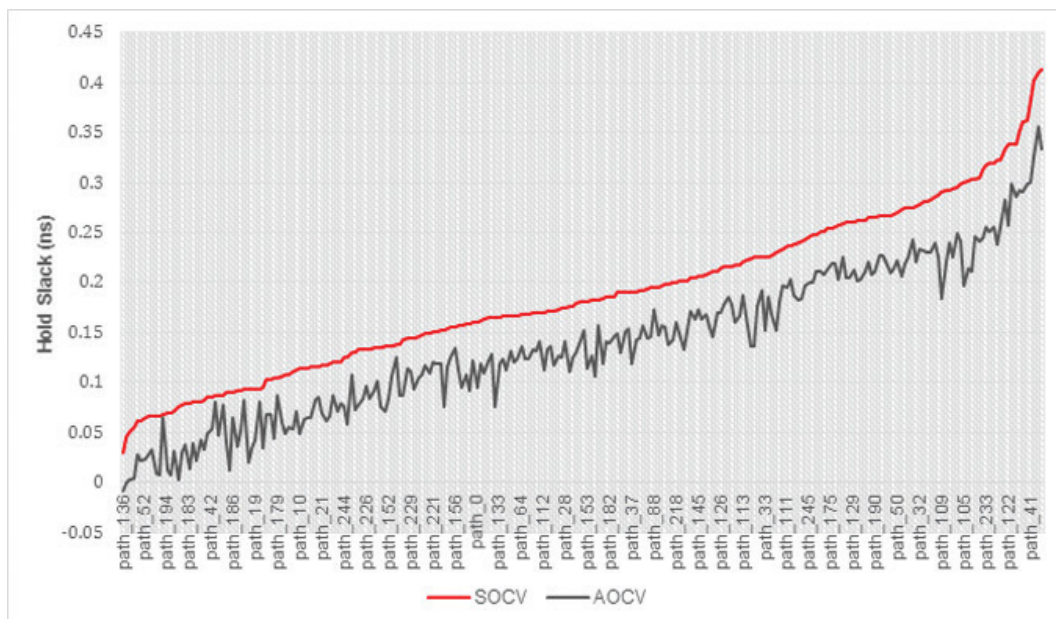


図 3: SOCV/LVF vs. AOCV Hold Slack

Summary

アドバンスド・ノードにおいて、全ての必要なライブラリ・ビューの生成と維持が設計フローの大きなボトルネックとなることが予想されます。SOCV/LVF の方法を用いたライブラリ・キャラクタライズの技術は、タイミングの悲観性の削減や、より微細プロセスで無視できないほど大きくなるプロセスばらつきに対応することに効果的です。Liberate Characterization Suite を提供する Cadence は、ライブラリ・キャラクタライズ技術の実績のあるリーダーです。Cadence のシミュレーション・ツールと統合されデジタル・インプット・ツールで検証された Liberate Characterization Suite は、16nm およびそれ以降におい

て OCV を制御するために必要なキャラクタライズの精度を提供します。

References

- 1 Guide: “*On-chip variation (OCV)*”:
<http://www.techdesignforums.com/practice/guides/on-chip-variation-ocv/>
- 2 Article: “*Signoff Summit: An Update on OCV, AOCV, SOCV, and Statistical Timing*,” Industry Insights by Richard Goering, November 25, 2013:
https://community.cadence.com/cadence_blogs_8/b/ii/posts/signoff-summit-an-update-on-ocv-aocv-socv-and-statistical-timing
- 3 Article: “*Liberty changes bring together nanometer OCV techniques*” by Chris Edwards, Tech Design Forum, October 1, 2014:
<http://www.techdesignforums.com/blog/2014/10/01/liberty-changes-bring-together-nanometer-ocv-techniques/>



ケイデンスは、電気・電子設計におけるグローバルな革新を可能にし、今日のエレクトロニクス製品を生み出すために重要な役割を果たしています。お客様はケイデンスのソフトウェア、ハードウェア、知的財産 (IP)、ノウハウを活用して、今日のモバイルアプリケーション、クラウドアプリケーション、コネクティビティアプリケーションを設計、検証できます。www.cadence.com/jp