

Virtuoso Integrated Physical Verification System

デザインルールチェックを素早く、精度良く、出戻りなく

先端ノードでは、従来のようなレイアウト作業の最後にデザインルールチェック（DRC）を行うフローでは設計作業を取束させることが大変困難になってきます。カスタムレイアウトにおける物理検証の出戻りを最小化し、生産性を向上させるために、Cadence® Virtuoso® Integrated Physical Verification System (IPVS) が導入されました。Virtuoso IPVSを使用すると、従来ノードで少なくとも15%、先端ノードで50%以上の生産性向上を実現できます。

統合化されたサインオフデザインルールチェック機能

先端ノードでの DRC ターンアラウンドタイム（TAT）は、回路の規模と複雑さの増加、デザインルールの複雑さと DRC ルール数の増加、複雑な製造歩留まり（DFM）ルールの追加、そしてマルチパターニングでのカラーリングルールの追加のために物理検証の工数が急激に増大しています。従来の物理検証フローはレイアウトがひと段落した後に実行されますが、それは先端のデザインにおいて最適ではない結果をもたらすだけでなく、レイアウトと DRC の大きな作業ループの反復を繰り返す、ひいては設計 TAT を増大させてしまう危険性があります。先端ノードでは、ダブルパターニングのカラーリング検証、メタルフィルの挿入、アナログ/ミックスシグナルプロセスの制約や製造上制限されるリソグラフィパターンチェックのすべてをチェックする必要があり、従来ノードに比べ検証時間が指数関数的に増大、設計コストが高くなります。

Virtuoso IPVS はレイアウト作業の合間に瞬時に実行できるサインオフ DRC 機能であり、Correct-by-Construction 設計フローを実現しています（図 1）。

本ツールはファウンドリ認定のデザインルールチェックを Virtuoso Layout Suite のツールバーに実装し即時実行できるよう統合されています。レイアウトエンジニアはボタンをクリックするだけで、Virtuoso IPVS が所定の領域でサインオフ DRC チェックを実行し、検証結果をレイアウト上のマーカーとして数秒以内に表示します（図 2）。

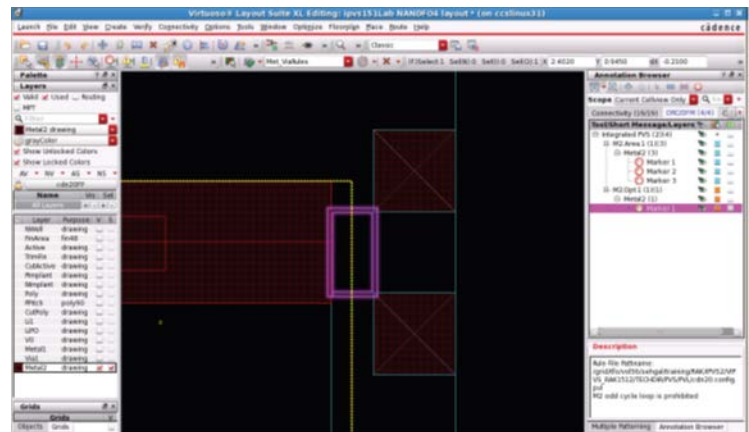


図 1：先端プロセスノードにおける Virtuoso IPVS でのルールチェック例

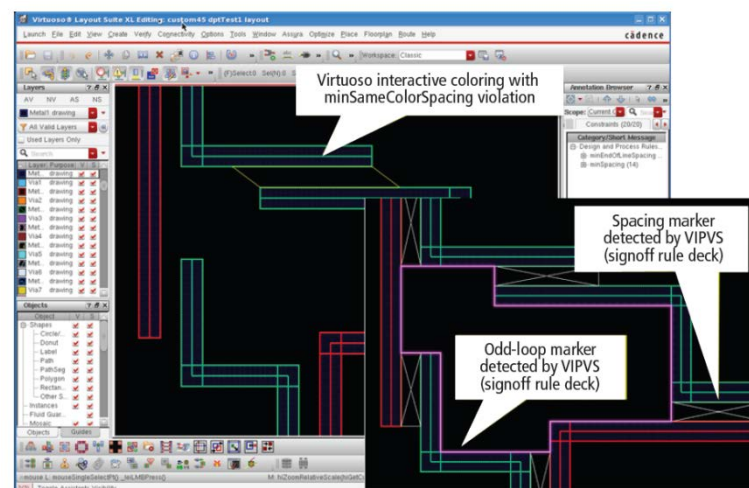


図 2：Virtuoso IPVS によるマスクカラーチェックとカラーループエラーの検出

先端ノードにおける物理検証の課題

大先端ノードでは次の課題を考慮する必要があります：

- 新しいデバイス形状、例えば FinFET におけるフィンピッチやスペーサー周辺の複雑なルールチェック
- ダブル、トリプル、クアドラのパターニングが可能なカラーリングとカラーコンフリクトチェック
- 複数のカットレイヤーとインターコネクトレイヤー。スペースサイズとグループ化の複雑なルールチェック
- 複雑な DFM メタルフィルと配線密度チェック
- 設計フローの複雑さ、20nm 以下のノードで必要とされるカラーチェックやデコンポジション（カラーリングルール）への対応

Virtuoso IPVS はレイアウトを収束までのルールチェックプロセスを改善し、レイアウトツールからの Stream In/Out 工程を排除して、従来の繰り返しの多い労働集約型プロセスのフローを置き換えます（図 3）。

Virtuoso IPVS は下記の機能を提供します：

- レイアウトセッションの開始時にプリコンパイルされたルールセットを設定
- レイアウト編集毎、もしくはオンデマンドでのクリックで DRC を実行

- Annotation Browser もしくは PVS DRC Debug Environment でのエラー表示
- 瞬時にファウンドリ認定の PVS ルールにてサインオフ DRC を確認可能

特長と利点

Virtuoso IPVS の特長は以下の通りです：

- ワンボタン DRC、Virtuoso Layout Suite で作業を妨げない DRC 実行
- 編集中のメモリ上のレイアウトに対して DRC を実行し、データの Save や Load、Stream-Out/In は必要なし
- 選択したルールチェックだけを簡単に実行できる柔軟性
- レイアウトの TAT の削減、及び DRC のやり直しを削減
- Annotation Browser もしくは PVS DRC Debug Environment のオプション選択が可能（図 4）

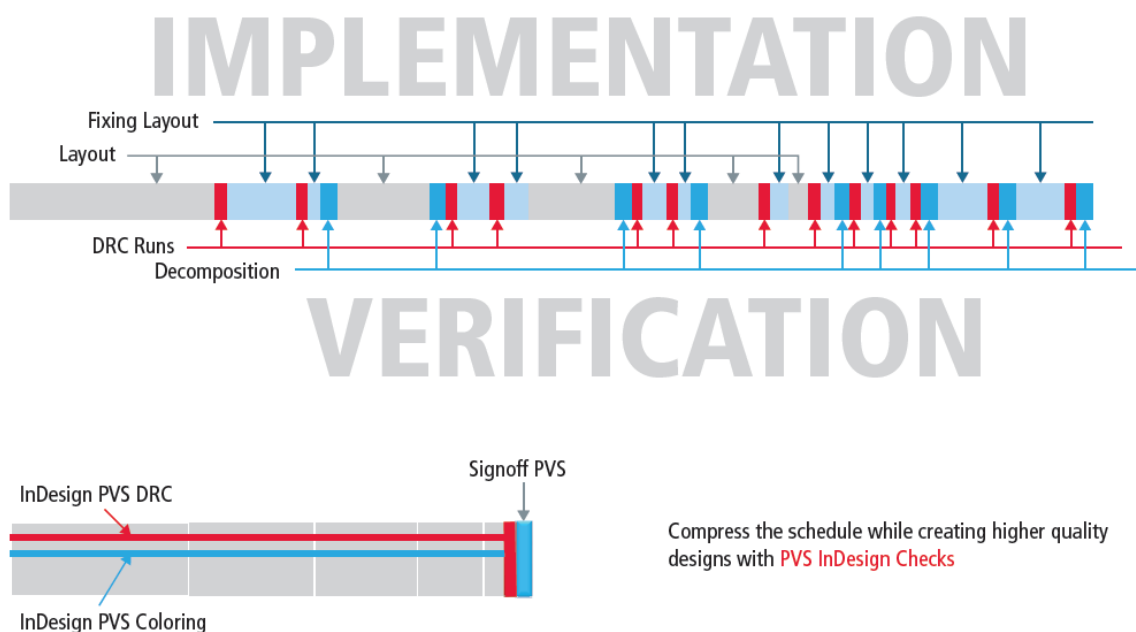
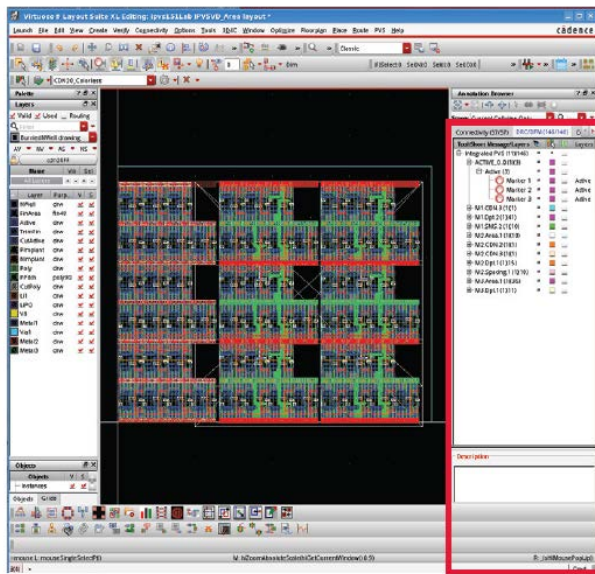
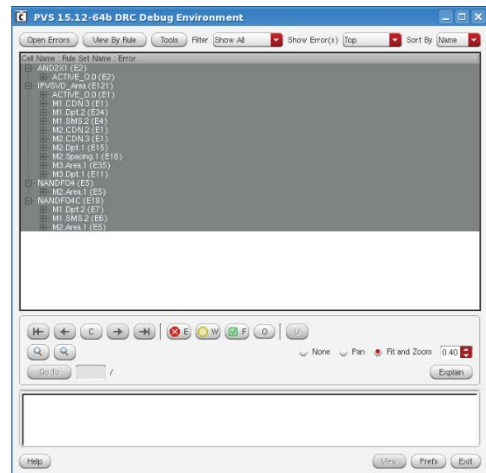


図 3 : Virtuoso IPVS によるサインオフ DRC プロセスの TAT、コストの削減



Annotation Browser



PVS DRC Debug Environment

OR

図 4 : Annotation Browser および PVS DRC Debug Environment 上でのエラー表示

まとめ

Virtuoso IPVS はユーザーの先端ノードのレイアウトを収束するために、サインオフ DRC を 1 時間に数回から 1 日に数回に削減し、さらに設計品質を向上、レイアウト面積の削減に寄与して、トータルの設計 TAT を削減します。

詳細は、ケイデンスの営業担当者にお問い合わせください。

弊社に寄せられた Virtuoso IPVS についてのお客様のコメントは次のとおりです。

「Without Virtuoso IPVS, it would be very difficult to reach the design target in time and be DRC-clean. (Virtuoso IPVS なしでは見積もっていた工期内でデザインを完成し DRC Clean にすることはとても難しかった)」

「Combining the power of DRD Notify with the signoff checking of Virtuoso IPVS the designer can achieve maximum productivity at all stages of the design (Virtuoso DRD の Notify モードと Virtuoso IPVS の組み合わせは全ての設計ステージにおいてとても有用だった)」

「Knowing dynamically the width, spacing, coloring rules gives huge advantages for productivity improvement. (レイアウトを動かしながら配線の幅や

間隔のチェック、そしてカラーリングルールのチェックを確認できることは生産性向上に大きく貢献した)」

「Virtuoso IPVS allows us to avoid infinite loops among all coloring rules. (Virtuoso IPVS はカラーリングルールの解消に貢献し、レイアウト設計の無限ループに陥ることを予防してくれた)」

「Productivity improvement is largest at the most critical point of the design cycle.” (設計生産性の改善が先端プロセスにおける設計サイクルの最重要ポイントでした)」

ケイデンスのサービスとサポート

- ケイデンスのアプリケーションエンジニアは、電話、Eメール、またはインターネットで技術的な質問にお答えいたします。また、テクニカルサポートやカスタムトレーニングもご提供します
- Cadence Online Support では、最新のソリューション、テクニカルドキュメント、ソフトウェアのダウンロードに 24 時間 365 日、アクセスいただけます

cadence®



日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45
営業本部 TEL.(045)475-8410 FAX.(045)475-8415
URL <http://www.cadence.co.jp/>

販売代理店 **イノテック株式会社** ICソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6
TEL.(045)474-2290,2291,2293 (営) FAX.(045)474-2395
URL <http://www.innotech.co.jp/>