

Cadence Sigrity SystemSI Signal Integrity Solutions

ハイスピード・チップ間システム設計を正確に評価

Cadence[®] Sigrity[™] SystemSI[™] シグナルインテグリティ(SI) ソリューションは、ハイスピード・チップ間システム設計を正確に評価するための包括的かつ柔軟な SI 解析環境を提供します。ブロックベースのエディタを使用すると、簡単に開始できます。これらのソリューションは、業界標準のモデル形式をサポートし、自動的にモデルを接続します。周波数ドメイン、タイムドメイン、および統計解析手法を独自に組み合わせることで、堅牢なパラレルバスとシリアルリンクインタフェースの実装を実現することができます。

利点

SystemSI を使用して:

- ハイスピード・パラレルバスとシリアルリンクの詳細な SI 解析を実行
- プリレイアウト、ポストレイアウト、またはその間のどこかでダイ間の解析を実行
- インターフェイスがインターフェイスのパフォーマンス基準に準拠していることを確認
- 損失、反射、クロストーク、同時スイッチング出力 (SSO) などの SI 効果を同時に評価
- 非理想的な電力供給システムの影響がシステムの動作に及ぼす影響を観察
- パラレルバスにおける潜在的な SSO 問題を識別して設計品質を向上
- シリアルリンク解析のための IBIS AMI TX および RX モデルの開発、テスト、および利用
- 複雑な SerDes チャンネルのビット誤り率 (BER) と性能を定量化
- 潜在的な問題を早期に特定してコストと時間を削減

特長

SystemSI Parallel Bus Analysis のアプローチ

今日の DDRx メモリデザインなどの高速バスインタフェースは、チップ、パッケージ、ボードのクロス構造による厳しいタイミングマージンと解析要件を特徴としています。SystemSI Parallel Bus Analysis のアプローチでは、誘電体と導体の損失、反射、符号間干渉 (ISI)、クロストーク、同時スイッチングノイズ (SSN) の影響を考慮した同時シミュレーションをサポートしています。これは実際のハードウェアの動作をエミュレートするために不可欠です。

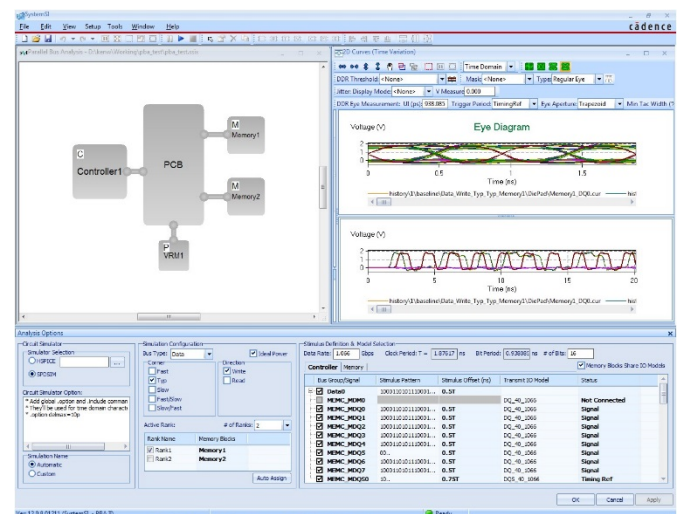


図 1: メモリコントローラと SDRAM を含む DDR3 インターフェイスのシミュレーション結果

SystemSI Serial Link Analysis のアプローチ

データ・レートがマルチギガビット領域に入ると、ハイスピード・シリアルリンクの堅牢な動作を保証することは困難です。

SystemSI Serial Link Analysis のアプローチは、包括的なアイダイアグラムおよびバスタブカーブを生成し、BER性能を予測するために、端から端までのチャネル動作をシミュレートします。

ジッタとノイズの影響を特定することで、すばやく設計を改善できます。このツールは、チップレベルの信号調整とクロックおよびデータリカバリの有効性を評価するシミュレーションで、業界標準の IBIS AMI TX および RX モデルを完全にサポートしています。

強化された設計フロー

SystemSI には、簡単に使用できるブロックベースのトポロジエディタが含まれており、単一のネットまたは完全なマルチボードバスを迅速に取得できます。ウィザードや基本テンプレートを使用することで、設計プロセスを早期に開始でき、洗練されたモデルをスムーズに交換できます。

精度を最大限に高めるために、Cadence Sigriety PowerSI テクノロジーなどのツールから生成された詳細な S パラメータモデルを使用できます。ケイデンスの Model Connection Protocol (MCP) は、接続を簡素化し、自動化するので、面倒な、エラーが発生しやすいモデル接続作業を回避できます。

コンプライアンスキットとグラフィックベースおよびテキストベースの出力は、潜在的なリスクを迅速に特定するのに役立ちます。

最大精度

理想的な電力供給ネットワーク (PDN) が高速設計にとって非常に危険であると仮定します。使用される基板材料の低損失性のために、ボードおよびパッケージ内でノイズが容易に伝播します。マルチギガビットの動作速度に近づく設計では、PDN に小さなノイズ電流が存在すると、アイの品質に大きな影響を与えることがあります。

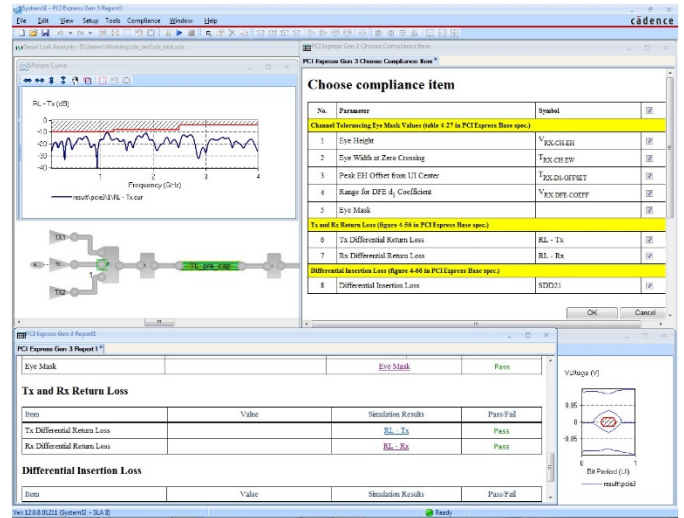


図 2 : IBIS AMI モデルを組み込み、バックチャネルシミュレーションを考慮した PCI Express Gen3 SerDes シミュレーション

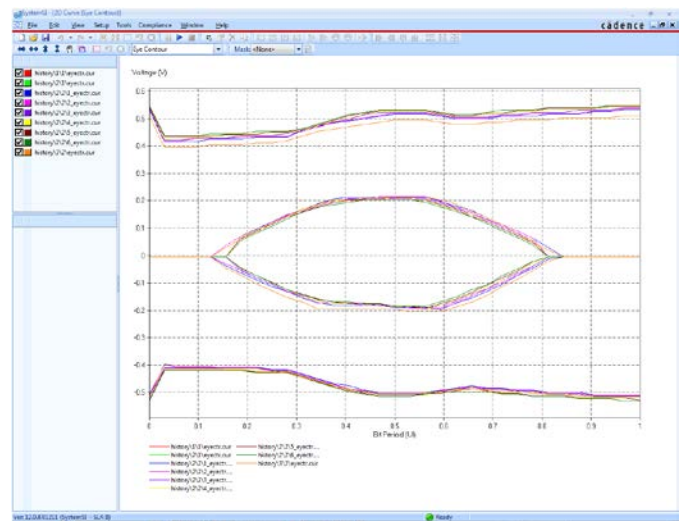


図 3 : パワーノイズの影響を示すアイの輪郭 (Eye Contour)

Sigriety ツールは、関連する PDN に結合された信号を抽出し、これらのリアルタイムの相互作用を考慮したシミュレーションを可能にします。これは、PDN ノイズの影響が従来の信号対雑音クロストークに匹敵し、さらにそれを上回る可能性があるため不可欠です。I/O 回路モデルに構造的に正しい SPICE サブサーキットを利用できるため、SystemSI は通常、他のツールでマスクされているこれらの影響を含めることができます。

サポート・インターフェース

- Windows および Linux
- モデル : SPICE (HSPICE and others), IBIS (native IBIS, BIRD95/98, AMI), S-parameters (Touchstone/Cadence Sigrity Broadband Network Parameter (BNP) シンタックス), Cadence Sigrity MCP
- パラレルバス・インターフェース・コンプライアンス
チェック : DDR2、DDR3、LPDDR3、DDR4
- シリアルリンク・コンプライアンスチェック :
PCIe3.0、SFP+、10G Base KR、HDMI、USB3.0

cadence®

日本ケイデンス・デザイン・システムズ社

本社／〒222-0033 神奈川県横浜市港北区新横浜 2-100-45

営業本部

TEL.(045)475-8410 FAX.(045)475-8415

〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F

TEL.(06)6121-8095 FAX.(06)6121-7510

<https://www.cadence.com/jp>



販売代理店 **イノテック株式会社** IC ソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6

TEL.(045)474-2290,2291,2293 (営) FAX.(045)474-2395

〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F

TEL. (06) 6121-7703 (営) FAX. (06) 6121-7720

URL <http://www.innotech.co.jp/>

© 2017 Cadence Design Systems, Inc. All rights reserved worldwide.

CadenceおよびCadenceロゴは、Cadence Design Systems, Inc.の登録商標です。その他記載されている製品名および会社名は、各社の商標または登録商標です。

* 掲載の内容は、2017年6月現在のものです。