

Cadence Sigrity SPEED2000

レイアウトベース、時間領域のシグナル・インテグリティ/パワー・インテグリティ/電磁干渉シミュレーション

Cadence® Sigrity™ SPEED2000™ はボードデザイン全般およびパッケージ/ボードのコデザイン の直接レイアウトベース、時間領域シミュレーションを実行するための最初、かつ唯一の市販ツールです。これらのシミュレーションは、シグナル・インテグリティ (SI) /パワー・インテグリティ (PI) シミュレーションで一般的に使用されるさまざまなSPICE / Sパラメータ相互接続モデルとコンポーネントモデルを組み込むことができます。SPEED2000は、回路ソルバと伝送線路ソルバと高速電磁界 (EM) フィールドソルバを組み合わせ、1度の時間領域シミュレーションでダイナミックにレイアウトと回路の相互作用をとらえます。このツールを使用することで、広範囲のSI / PI /電磁干渉 (EMI) 研究を単一のプラットフォームで実行できます。

SPEED2000 レイアウト・チェック

Trace Impedance/Coupling Check と SI Performance Metrics Check は互いに補完しあう SPEED2000のレイアウトSIチェック機能です。

これらのレイアウト・チェックを一緒に使用することで、レイアウトのSIパフォーマンスへの優れた洞察を提供し、またジオメトリチェックベースのデザインルールチェック (DRC) と完全なシミュレーションベースのパフォーマンス検証のギャップを埋めることができます。

SPEED2000 レイアウト・チェック機能の特長:

- 簡単セットアップのワークフロー
- 高度に自動化されたシミュレーションと結果処理
- レイアウトの電気的性能を評価し、潜在的な設計上の欠陥を特定するのに役立つ幅広いグラフィック表現

従来の時間領域シミュレーション手法では数日または数週間かかっていたセットアップ、シミュレーション、および結果の後処理を、数分または数時間で完了することができます。

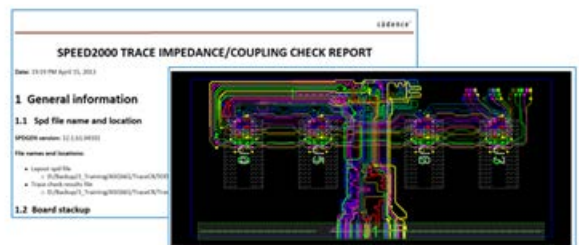
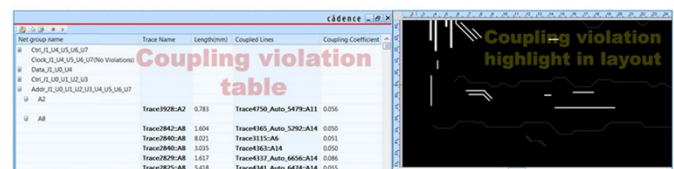
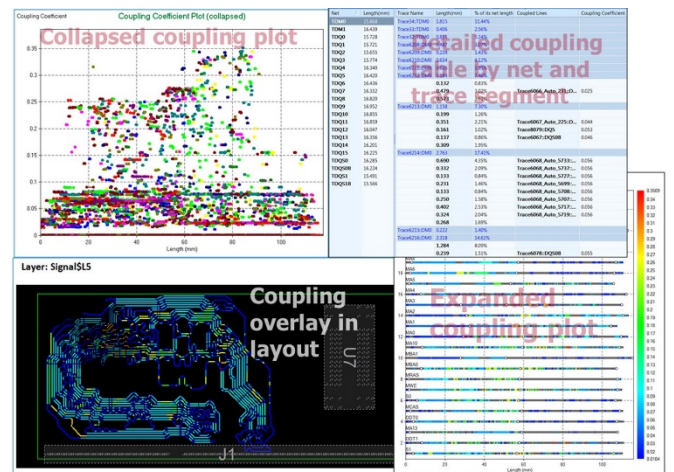


図 1: トレース・カップリング・チェック結果例

Trace Impedance/Coupling Check は、設計とデバッグに役立つレイアウトの配線プロパティの詳細表示機能を提供します。この機能を使用することで、ボードレイアウトをすばやくスクリーニングし以下の情報を得ることができます：

- ビアの数、リターンパスの不連続点の数、ボイド上を通過している配線セクションの数、配線の長さ、および配線の遅延を含む、ネット毎のインピーダンス/カップリングチェック結果の概要
- プロット、レイアウトへのオーバーレイ表示、プロットからレイアウトへのクロスプローブを含む配線セグメントの詳細/インタラクティブなチェック結果
- シングルエンドとディファレンシャル両方のインピーダンスとカップリング
- インピーダンスとカップリングのしきい値設定；違反している配線は違反テーブルにレポートされレイアウトでハイライトさせることができる

トレースチェックの結果はネットグループ毎にまとめられているため、比較が簡単で有意義です。ネットグループの設定は自動で行うこともできます。配線チェックの結果に基づき、プロット内でインピーダンス/カップリング分布を簡単に確認し違反を特定、またクロスプローブを使用してレイアウト内の違反箇所を特定することができます。HTML ベースの配線チェックレポートを出力します。

SI Performance Metrics Check は、スクリーニング、レビュー、およびサインオフに役立つ SI パフォーマンス全体のマクロビューを提供します。クロストークと非理想の電源およびグラウンドを考慮した時間領域シミュレーションに基づいて電氣的なチェックを実行できます。高水準の自動化および並列コンピューティングを組み合わせ、使いやすいワークフローで多数のネットをチェックする時間を節約します。生成されたレポートには以下の情報が含まれます：

- TX/RX 波形及びワーストケース NEXT/FEXT 波形
- 信号強度、シンボル間干渉 (ISI)、およびレシーバにおけるクロストークに基づく SI パフォーマンス・メトリック
- Top 10 クロストーク・アグレッサー
- 拡張チェックレポート

SI performance metrics は以下のようなケースで使用できます：

- ボードをスクリーニングし、詳細解析を必要とするワーストケースを特定する
- デザインルール違反の SI へのインパクトを調査し、トレードオフする
- SI パフォーマンス・メトリックと、既知の優れた設計または基準設計とを比較する

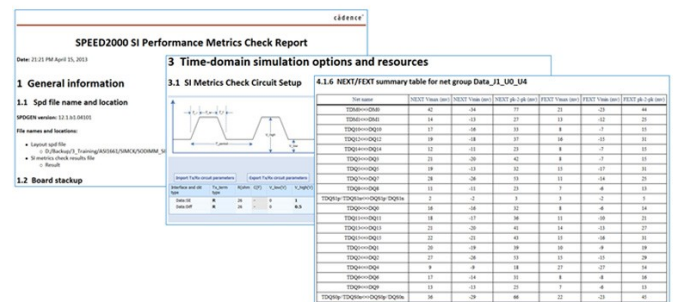


図 2: SI メトリック・チェック結果例

DDR-SSO シミュレーション: Power-Aware SI

通常、対処される DDR スキューは、信号長のミスマッチ、リフレクション、シンボル間干渉、および信号クロストークによるものです。DDR-SSO によるスキューも無視できませんが、シミュレーション時に非理想電源/グラウンドの影響を考慮しなければならないというチャレンジのため通常対処されません。しかし、DDR データレートが増加するにつれ、その影響を完全に理解することがますます重要になってきています。

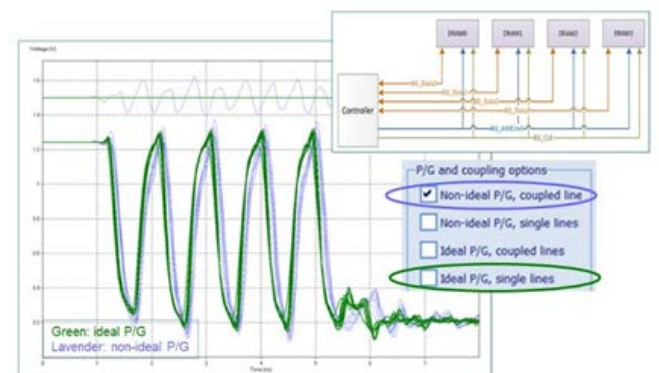


図 3: デバイスピンでの DDR3 電源変動と SSN プッシュアウト

SPEED2000 の DDR-SSO シミュレーションワークフローを使用すると、非理想電源/ GND での DDR-SSO 効果を簡単に評価できます。表 1 は、DDR-SSO シミュレーション

One Tool Solution	Layout-Centric Setup	Quick What-if Analysis	General Purpose
レイアウトベースTDシミュレーション <ul style="list-style-type: none"> PCB S/パラメータモデルなし S/パラメータTDシミュレーション問題なし DDR-SSOの影響 <ul style="list-style-type: none"> 非理想電源/GND考慮 プレーン/配線/ビアのカップリング考慮 	IBISモデル・エディタ <ul style="list-style-type: none"> ピン・レベル・モデル→コンポーネント・レベル・モデル IBISモデルの編集 自動ピン・マッピング MCPモデル・エディタ <ul style="list-style-type: none"> モデルの MCPヘッダー編集 相互接続モデルの接続 デバイス・モデルの接続 パス・グループとモデル・コピー <ul style="list-style-type: none"> IBISモデル接続コピー 	電源/GND, カップリングWhat-if <ul style="list-style-type: none"> L1: 理想 P/G, シングル・ライン L2: 理想 P/G, カップルド・ライン L3: 非理想 P/G, カップルド・ライン 解析オプション What-if <ul style="list-style-type: none"> Read/Write プロセス・コーナー データレート/パターン モデル・セレクション レイアウトWhat-if <ul style="list-style-type: none"> プレーン/配線/ビアの編集 	SPEED2000機能 <ul style="list-style-type: none"> 3Dノイズ伝播 EMIシミュレーション 仮想 V/I プロープ すべてのDDRxトポロジに対応

表1 SPEED2000 DDR-SSOシミュレーションワークフローの利点

ワークフローを使用した場合の主要な利点の概要を示しています。重要な利点の1つは、レイアウトのSパラメータモデルを生成する必要がないことです。そのため、SPICEの時間領域シミュレーション時にSパラメータが使用された場合の典型的な受動性(passivity)と因果性(causality)の問題を回避することができます。これらの問題は、DDRの電源/GND ネットおよびデキャップ数の増加とともに、シミュレーションに多数のDDR信号が含まれている場合より顕著になります。

SPEED2000を使用することで、what-if DDRシミュレーションを簡単に実行し、レイアウト設計における非理想的な電源/グラウンドの影響を確認できます。

SPEED2000を汎用SI/PIツールとして使用

SPEED2000は、汎用SI/PIツールとして役立つワークフローと機能を提供します:

- Power ground noise simulation ワークフローはI/O電源のための直接的な時間領域電源/GNDノイズシミュレーションに使用することができます。SPEED2000の代替として、Sパラメータモデルを抽出してSPICEシミュレーションで使用することもできますが、I/O電源モデルには通常、同じ電源またはGNDネットのポートが多数含まれているため、SPICEシミュレーションエンジンを使用して時間領域でシミュレーションを実行することは非常に困難です。SPEED2000を使用すると、SPEED2000以外では入手することが非常に難しい安定性の高いシミュレーション結果を得ることができます。
- Virtual scope—TDR/TDT ワークフローは、PCB設計におけるインピーダンス不連続性を評価するのに便利な機能です。リファレンスの不一致やビアによるインピーダンスの不連続性を評価したい場合に特に便利です。
- EMI simulation ワークフローは、EMIソースとして適切なスティミュラスのデバイス・モデルを使用してシミュレーションを実行できます。

以下のような機能も含まれます:

- Kemet, Murata, Samsung, TDK, Taiyo-Yuden から提供されるデキャップ・モデル・データベース、及びデフォルトのデキャップ・ライブラリとそれらデキャップモデルを割り当てる使いやすい decap manager
- what-if 解析時にレイアウト変更を行うレイアウト編集機能
- 時間領域および周波数領域の波形表示および測定
- 信号及びノイズの生成と伝播を可視化する柔軟な3D結果表示
- レイアウトの仮想3Dウォークスルー

ワークフローによる迅速なシミュレーション設定

SPEED2000はワークフローとウィザードを使用してシミュレーション・セットアップをすばやくガイドします。SI/PI/EMIシミュレーションの主な使用モデルに対応した7つのアプリケーション中心のワークフローを提供します。

1. DDR-SSO simulation
2. Trace impedance/coupling check
3. SI performance metrics check
4. PDN simulation
5. Virtual scope: TDR/TDT
6. EMI simulation
7. General-purpose SI simulation

