

Stratus High-Level Synthesis

SoC 設計全体に適用できる業界初の高位合成プラットフォーム

Cadence® Stratus™ High-Level Synthesis (HLS) は、高位レベルのC++/SystemC記述からASIC、System-on-Chip (SoC)、及びFPGAをターゲットとした高品質のRegister Transfer Level (RTL)の設計実装を自動で作成します。Stratus HLSの製品設計は、一貫した高品質な結果、十分な機能性、及び豊富なデザイン領域へ対応と共に世界中で実証済みです。Stratus HLSの技術で作られた製品は、あなたの家、自動車、ポケットの中など、いたるところで見つけることができます。

概要

Stratus HLS は 13 年以上におよぶ高位合成の製品適用にもとづく次世代の高位合成技術です。

Stratus HLS によりエンジニアリングチームは、抽象度の高い SystemC、C、及び C++ のモデルから高品質の RTL 実装を早期に実現し検証することができます。

モデルは、Stratus 統合設計環境 (IDE) を使用して容易に設計され、新しいテクノロジー・プラットフォームにリターゲットでき、従来の手書きの RTL 設計よりも柔軟に再利用することができます。

Stratus IDE により、設計者は高位合成環境から電力、面積、性能のトレードオフを行うことができます。

Stratus HLS ユーザーは、従来の RTL フローによる 20 万ゲート/設計者/年と比べて、200 万ゲート/設計者/年を実現と高い生産性を報告しています。

RTL よりも同等ないし、より優れたシリコンの面積、及び電力消費を達成しています。

Stratus HLS は何百ものブロックで構成されたトランザクション・レベル・モデリング (TLM) からゲートまでの設計と検証フローを自動化します。

また、Stratus HLS はケイデンスのツールフローとの緊密な統合により、通常、設計フローのかなり終盤に実設計で起こりがちな Engineering Change Order (ECO) 及び配線性の問題に対応できます。

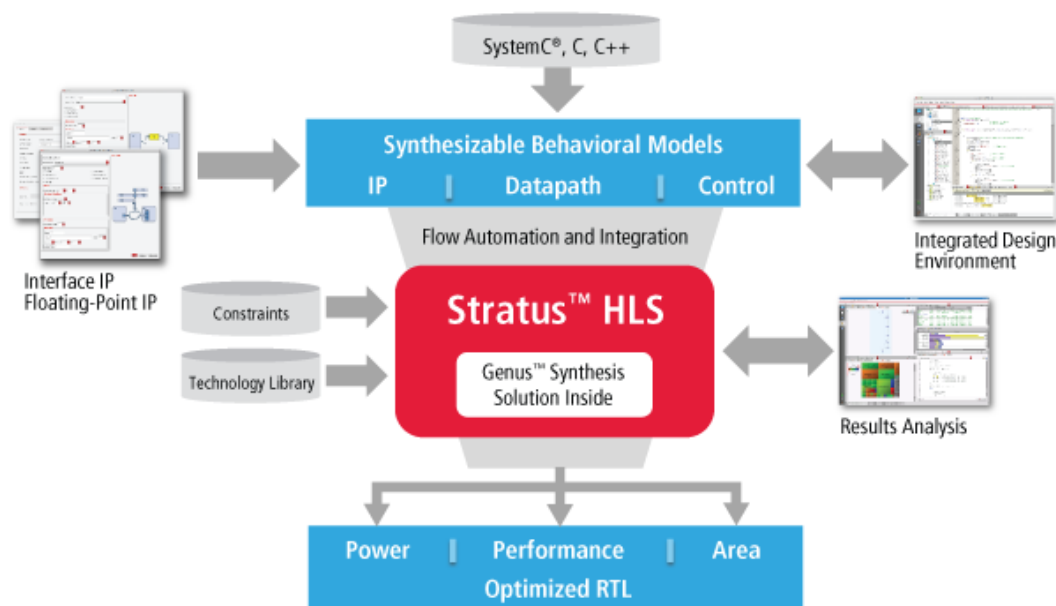


図 1 : Stratus HLS フロー

主な利点

- 第 6 世代の高位合成コアエンジンにより業界をリードする Quality of Results (QoR)、ユーザビリティ、及びスケーラビリティを実現
- 制御系回路とデータパス系回路の両方を含む設計全体への広い適用が可能
- ローパワー最適化による最大 50%の電力削減
- 初期の TLM モデルからゲートまでの一貫した検証環境での何百ものブロックの設計と検証を自動化
- ECO のためのトップダウンとボトムアップのサポート
- フィジカル・アウェア高位合成による配線混雑の削減
- 浮動小数点演算マクロIPによる高度に最適化された信号処理設計を提供
- I/O インターフェイス IP により設計者に合成可能な SystemC ビルディング・ブロックを提供し生産性を向上
- 業界標準の IEEE 1666 SystemC、C、及び C++ をサポート
- 1,000 件以上の記事（設計例、ベストプラクティス、及びアプリケーション・ノート）をオンラインナレッジベースで提供
- Cadence C-to-Silicon Compiler と Cadence Forte Synthesizer™の高位合成ソリューションで作成された設計をフルサポート

特長

ビヘイビア IP の再利用

Stratus HLS はビヘイビア IP の作成と適用を可能にし、真の IP 再利用を提供します。

Stratus HLS を使用することにより、検証済みのソースコードはプロセス技術やクロック速度が大きく変わっても、変更することなく再利用ができます。

アルゴリズム、アーキテクチャ、またはインターフェイスの変更は高位レベルで段階的に行うことができ、以前のように広範な RTL 書き換えを必要としません。

Stratus HLS によるビヘイビア IP の再利用が設計全体の工数を劇的に削減し、投資収益率 (ROI) を最大化します。

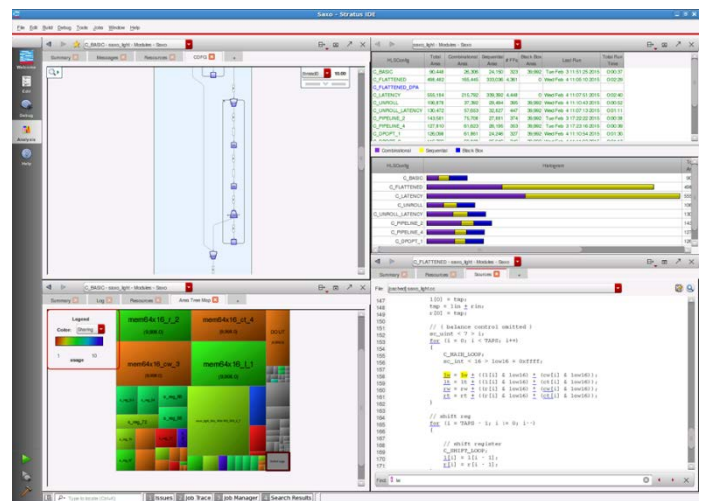


図 2 : GUIを使った機能解析

SystemC、C、C++からの合成

Stratus HLS は業界標準の IEEE1666 SystemC と同様に、C と C++ の記述もサポートしています。

SystemC では、設計者が設計の複雑さを管理するために行う階層化を使用できます。

階層化とマルチスレッドをサポートすることにより、SystemC は同時動作する複数のアルゴリズムとそのインターフェイスについて、設計と検証を可能にします。

Stratus HLS は、C または C++ アルゴリズム・コードを書き替え無しにハードウェアのインターフェイスを備えたハードウェア・モジュールにできます。

統合設計環境

Stratus IDE グラフィカル・ユーザー・インターフェイス (GUI) は SystemC の IDE を内蔵しており、新規ユーザー及び上級ユーザー共に SystemC の開発が容易かつ直感的に行えます。

標準的な IDE の機能に加えて、Stratus IDE は設計デバッグの時間を短縮するため、定義済みのデザインプレートを使用して新しいモデルを迅速にそして簡単に作成することができます。

Stratus IDE 解析環境は、SystemC と RTL ソースのリンク、コントロールとデータフローグラフ、回路図ビューア、パイプライン解析、QoR レポートとアーキテクチャ最適化の影響を判断するための可視化機能を提供しています。

IP ビルディング・ブロック

Stratus HLS は、短期間で設計立ち上げを可能にするため、IP ライブラリと Stratus インターフェイス・ジェネレータにより、合成可能なビルディング・ブロックを提供します。

これらのコンポーネントは最適化を考慮した高位レベルの SystemC コードで実装されていますので、性能や面積のペナルティ無しに使用することができます。

その結果、設計と検証のプロセスを加速する真の再利用可能なデザイン IP となります。

Stratus HLS IP ライブラリのすべての IP は高速シミュレーションモデルとビット精度合成可能なモデルが含まれています。

- 浮動小数点データタイプは IEEE 754 単精度及び倍精度だけでなく、ユーザーが定義した指数と仮数幅の構成も使用可能
- ユーザー設定可能な接続インターフェイスとしてラインバッファ、リングバッファ、ストリーミングデータ、FIFO、及び共有メモリアベース・インターフェイスなどが使用可能
- マルチクロック設計のためのクロック・ドメイン・クロッシング (CDC) 回路を提供
- 専用の通信インターフェイスとして、ARM®AMBA®AXI と AHB インターコネクタを使用して接続するためのバスインターフェイスを提供

設計と検証フローの自動化

Stratus HLS には、完全に統合された自動化システムが付属しています。

一つの Tcl ファイルから、以下の全てを設定し自動化することができます：

- C++のコンパイルとリンク
- 合成ディレクティブ
- SystemC と RTL の検証
- 論理合成
- RTL とゲート間の等価検証チェック
- 電力解析
- RTL 解析とデバッグ

- マルチコンフィグレーションの設計探索

この自動化により設計者は、Stratus HLS を使用して複数のアーキテクチャと実装を探索することができ、初期の TLM モデルからゲートまで一貫性のある環境で検証を充実させることができます。

ECO サポート

デザインの変更は設計のどの時点でも必要になります。

設計フローの後半で変更が発生した場合でも、Stratus HLS の ECO モードは開発スケジュールへの影響を最小化する際に有効です。

Cadence Encounter® Conformal® ECO Designer と連携する事により、設計変更のために新しい RTL を作成し完全に全体の RTL-GDSII 実装をやり直す代わりに、Stratus HLS にて設計上の変更とスケジュールへの影響を最小化する ECO パッチを作成します。

パッチは下流のネットリスト、配置配線されたデザイン、または 配線層のみの ECO が可能な場合のポストマスクネットリストでも適用することができます。

Encounter Conformal ECO Designer は Cadence Encounter Conformal Equivalence Checker と Cadence Genus™ Synthesis Solution の合成最適化を組み合わせ、パッチが正しい事とデザインが QoR の目標を満たしている事を確認できます。

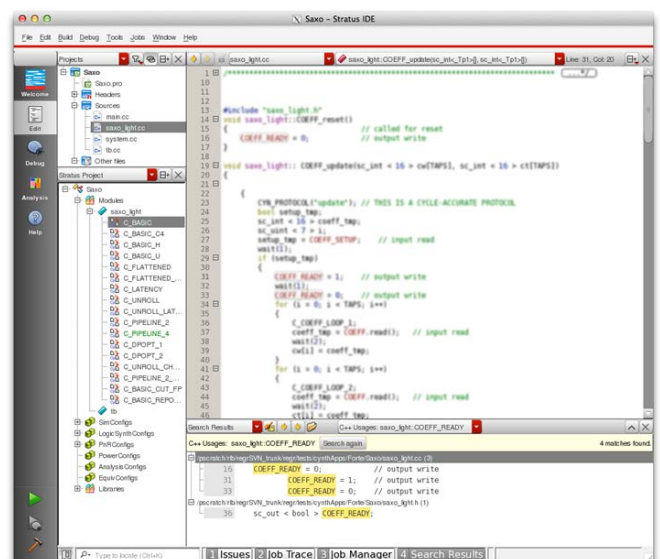


図 3 : Stratus 統合設計環境

ローパワー最適化

Stratus HLS により設計チームは細かい粒度やブロックレベルでのクロック・ゲーティング、ステートマシンの最適化、パワーを考慮した演算の入れ替えのように、手書きのRTLでは実現することが困難または不可能な、複雑な低消費電力最適化を自動化できます。

これらの最適化はデザインによって50%以上の電力削減をもたらすことができます。

設計者はデザインの面積、性能、及び電力のトレードオフの探査を迅速に行うことができます。

タイミング クロージャ

Stratus HLS は生成されたRTLに対して、網羅的に各パスとスケジュール結果を解析してタイミング・クロージャを保証し、与えられたクロック周期内に収めます。

Stratus HLS は特許を取得したデータパスの最適化技術と Genus Synthesis Solution を用いて、指定されたテクノロジライブラリから全ての演算器コンポーネントやマルチプレクサ、レジスタなどを構築し、正確なタイミングと面積を使用します。

ユーザーは Stratus HLS が各クロック周期の中に演算器コンポーネントをどれだけ積極的に押し込むかを制御することができます。

Stratus HLS を使用してデザインを作成することは、数ヶ月に及ぶバックエンドでのタイミング・クロージャ問題の作業期間の短縮につながります。

ケイデンスのサービスとサポート

- ケイデンスのアプリケーションエンジニアは、電話、電子メール、またはインターネットによって技術的な質問にお答えします。また技術支援やカスタムトレーニングを提供します。
- ケイデンスの認定インストラクターによる70以上の実経験を踏まえたコースがあります。
- 25以上のインターネットによる学習シリーズ (iLS) オンラインコースはインターネット経由で自分のコンピュータを使用する柔軟性のあるトレーニングです。
- ケイデンス・オンライン・サポート(COS)は最新ソリューションのナレッジベースで、24時間365日オンラインでアクセスでき、技術ドキュメント、ソフトウェアのダウンロードなどを提供しています。



日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45
 営業本部
 TEL.(045)475-8410 FAX.(045)475-8415
 〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
 TEL.(06)6121-8095 FAX.(06)6121-7510
 URL <https://www.cadence.com/jp>



販売代理店 イノテック株式会社 ICソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6
 TEL.(045)474-2290,2291,2293 (営) FAX.(045)474-2395
 〒541-0054 大阪府大阪市中央区南本町 2-6-12 サンマリオン NBF タワー16F
 TEL. (06) 6121-7703 (営) FAX. (06) 6121-7720
 URL <http://www.innotech.co.jp/>