

## Genus Synthesis Solution

### 大規模分散型並列 RTL 合成およびフィジカル合成

複雑なチップ設計において、設計者は性能向上、消費電力の低減、エリアの縮小など、チップを良いものにしようと絶えず奮闘しています。ベストなRTL設計ソリューションの開発には、高い精度およびフィジカルインプリメンテーションとの相関性とともにより速なTATが求められます。製品の優位性を高めるためには、PPA (Power, Performance and Area) と実行時間のうち、どちらも妥協することは許されません。

ケイデンスのGenus™ Synthesis Solutionをお使いいただければ、そのような妥協を一切必要とせず、ベストなそして最も相関性の高い結果を最短時間で得ることができます。

#### 概要

Genus Synthesis Solution は、TAT を最短で 1/5 に短縮し、ユニットレベル合成とチップレベル合成のイタレーションを半減あるいはそれ以下に削減します。この強力な組み合わせにより、RTL 設計の生産性を最大で 10 倍向上させることができます。次世代の RTL 合成およびフィジカル合成ツールです。このソリューションでは、フラットで 1000 万インスタンスを超える回路規模に対応可能です。また、Innovus™ Implementation System との配線長およびタイミングの誤差が 5% 以内と高い相関性を実現します。 Genus Synthesis Solution を使用すると、ブロックレベルとユニットレベルの合成のイタレーションを 2 倍以上削減することができます。さらに、パフォーマンスには影響を与えず、データパスエリアを最大で 20% 縮小することも可能です。

#### 特長

- 大規模分散型並列処理アーキテクチャにより複数マシンと各マシンの CPU をシームレスに動作させ、実行時間を最短で 1/5 に短縮し、フラットで 1000 万インスタンスを超える超大規模回路にリニアに対応
- すべてのサブセットにおけるフルタイミングおよびフィジカルコンテキストを自動的に抽出。ユニットレベル合成とチップレベル合成のイタレーションを半分に削減
- グローバルかつ複合的な解析機能およびマイクロアーキテクチャ最適化機能により、パフォーマンスに影響を与えず、データパスエリアを最大で 20% 縮小可能

- GigaPlace™ エンジン、遅延計算、寄生抽出、タイミング・ドリブンのグローバル配線機能を Innovus Implementation System と統合し、ツール間のタイミングと配線長の誤差が 5% 以内と、高い相関性を実現
- Innovus Implementation System および Cadence Tempus™ Timing Signoff Solution と統合した次世代のユーザーインターフェースを搭載
- フィジカルを考慮したロジックの構築とマッピング
- パワードメインおよびレイヤーを考慮したネットバツファリング
- シングルパスのマルチ Vt 最適化
- 階層 RTL クロックゲーティング挿入
- フィジカルを考慮したタイミング・ドリブンのマルチビット FF マッピング
- パイプラインおよびジェネラル・レジスター・リタイミング

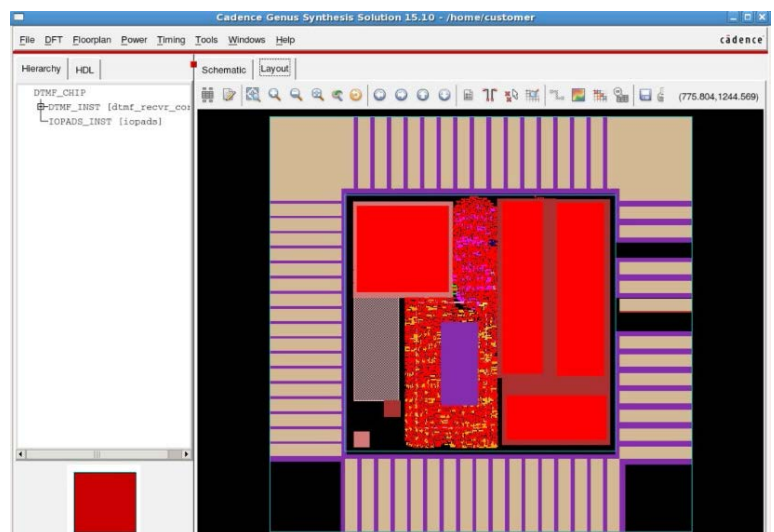


図 1: Genus Synthesis Solution により内蔵のフィジカルインターコネクト情報を用いたデバッグが可能。関連する配線長、フロアプランブロック、配線見積もりを確認したり、ユニットレベル RTL 設計で使用するチップレベルおよびブロックレベルのフィジカルコンテキストを抽出したりするためのフィジカルビューアへのクロスプローブ

- ChipWare のファンクショナルコンポーネントおよびシミュレーションモデル
- 低消費電力セルの自動挿入により複数のパワードメイン設計をフルにサポート。CPF と IEEE 1801 の両方のパワーインテント仕様に対応
- MMMC のタイミング解析と最適化の同時実行
- すべての DFT 挿入をネイティブに統合
- Verilog 1995 および 2001、System Verilog 1800-2009、VDHL 1987、1993、2008 入力フォーマット
- Verilog ネットリストおよび DEF 配置の出力フォーマットおよび Innovus のデータベース出力フォーマットにも対応

### 大規模分散型並列処理アーキテクチャー

Genus Synthesis Solution は、大規模分散型並列処理アーキテクチャーを搭載しており、複数マシンの複数 CPU に効率よく分散して合成を実行する事が可能です。デザインの階層を透過的にスライスし、各マシンに最適化プロセスを均等に分散する” 独自に開発したタイミングドリブ・パーティショニング・アルゴリズム” を採用しており、合成の TAT を最短で 1/5 に短縮し 1000 万インスタンスを超える大規模回路にリニアに対応します。

### フィジカルを考慮したコンテキスト生成

チップレベル合成およびブロックレベル合成終了時にシンプルな Tcl コマンドを使用して、デザインのすべてのサブセットのタイミングおよびフィジカルコンテキストを” クリップ (切り取り)” 可能。これらの” クリップ” を使用してチップレベルやブロックレベルのタイミング、フロアプラン、配置を十分に考慮したユニットレベル

の RTL 合成を実行可能であり、さらに” クリップ” を使用することにより、タイミング・クロージャーの達成に求められる、ユニットレベルのイタレーションを半減させることが可能です。

### 配置配線との高い相関性

Genus Synthesis Solution は、GigaPlace エンジン、遅延計算、寄生抽出、及び従来比 4 倍の高速化を実現したタイミング・ドリブのグローバル配線をはじめとするエンジンを Innovus Implementation System と共用しており、これらのツール間のタイミングと配線長の誤差が 5%以内と高い相関性を誇ります。

### アーキテクチャーレベルからの PPA 最適化

Genus Synthesis Solution は、新しく独自開発したアルゴリズムを搭載し、モジュール階層の構成が物理階層が論理階層なのかに関わらず、デザイン中のクリティカルなデータパスを特定することができます。これらの各階層範囲において、Genus は考える複数のマイクロアーキテクチャーと、異なる PPA(Power, Performance Area) のトレードオフを同時に考慮します。それから、全てのデータパス範囲を超えた解析モデルを構築し解決することにより、局所的な最適解ではなく、デザイン全体のベストな PPA を策定し実現します。このテクノロジーにより、パフォーマンスには影響を与えず、データパスエリアを最大で 20%縮小可能です。

### 共通のユーザーインターフェース

Genus Synthesis Solution は、Innovus Implementation SystemとTempus Timing Signoff Solution と新しい共通のユーザーインターフェースを搭載していますので、ケイデンスのデジタルフローの構築を合理化することができ、ユーザーのトレーニングも簡単です。

新しいユーザーインターフェースには、1 つの環境に統合したデータベースアクセス、MMMC タイミングコンフィグレーションおよびレポート、低消費電力デザインの初期設定といった機能が含まれます。

### CPFおよびIEEE1801への対応

Genus Synthesis Solution は、複数のパワードメインを持つデザインに対応するための拡張機能を搭載しています。パワーインテント仕様は、CPF もしくはIEEE1801 の両方のフォーマットに対応し、レベル・シフター、アイソレーション・セル、リテンション素子の自動挿入が可能です。また、Always-On バッファ、およびパワードメインを考慮した配線もフルにサポートします。

### 消費電力の最適化

Genus Synthesis Solution は消費電力を低減するために、マッピングおよび最適化実行中に、タイミングおよびフィジカルを考慮したマルチビットFF マッピング、階層RTL クロックゲーティング、複数の閾値を持つセルライブラリーを One-step で認識するインテリジェントな機能をはじめとする、網羅的な技術を搭載しています。

## レジスタのリタイミング

Genus Synthesis Solution は、パイプラインおよびシーケンシャルループに従ってレジスタを再タイミングにより、FF の数を最適化し、ベストなPPA のトレードオフを達成します。

## ChipWareの各種コンポーネント

Genus Synthesis Solution は、固定小数点演算、浮動小数点演算、パイプラインユニットなどをはじめとする、業界で標準的な機能ブロックコンポーネントの完結したポートフォリオ、及び全てのChipWare コンポーネント向けのシミュレーションモデルを包含しています。

## DFT (Design for Test)

Genus Synthesis Solution は、タイミング・ドリブンでフィジカルを考慮したスキャン・チェーン・スティッチングや圧縮ロジック、メモリーBIST、ロジックBIST、JTAG、OPCG (on-product clock generation)、PTAM (power test access module) ロジックの挿入を初めとするDFT をフルにサポートしています。

## フロー全体に共通のユーザーインターフェース を搭載し、さらに使い勝手が向上

Innovus Implementation System は、ケイデンスの Tempus™ Timing Signoff Solution, Quantus™ extraction, Voltus™ power integrity technologies と完全に統合した環境を持っていますので、タイミング、寄生、シグナル・インテグリティやパワー・インテグリティの問題をフィジカル・インプリメンテーションの早期段階で正確にモデリングすることができます。これにより、電氣的メトリクスにおいてより迅速な設計の収束が可能になり、より速いデザイン・クロージャーを実現します。

Genus を含むこの統合された設計環境は、RTL 設計からフィジカル・インプリメンテーション、及びサインオフの各ツールにおいて、コマンド名を含む統一された共通のインプリメンテーション手法を実現しています。例えば、デザインの初期化プロセス、データベースアクセス、実行コマンド、測定基準などが統一され簡素化されています。さらに、この統合された環境下において、リファレンスフローの設定、展開、実行が可能です。これら刷新されたインターフェースやリファレンスフローにより、中核となるインプリメンテーションとサインオフプロダクトに使いやすいユーザーインターフェースを提供し、生産性が向上します。常にロバストな RTL からサインオフのレポートとマネジメント機能とカスタマイズ可能な環境を利用可能です。



### 日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45  
 営業本部 TEL.(045)475-8410 FAX.(045)475-8415  
 URL <https://www.cadence.com/jp>



### 販売代理店 **イノテック株式会社** ICソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6  
 TEL.(045)474-2290,2291,2293 (営) FAX.(045)474-2395  
 URL <http://www.innotech.co.jp/>