

Conformal Low Power

Cadence® Conformal® Low Powerは、低消費電力用に最適化された数百万ゲート規模の設計をテスト・ベクタでシミュレーションすることなく、検証とデバッグを可能にします。さらに、デザインに関連するパワー・インテントの作成や検証、統合もまた可能にします。

低消費電力に関する業界標準の等価性チェックに加え、構造チェックと機能チェックを組み合わせ、優れたパフォーマンス、機能、使いやすさを提供します。

Conformal Technology

全体的な設計サイクルの時間を短縮し、シリコンのリスピンを最小限に抑えるために、設計者は製品実績のある検証を必要とします。Conformal 検証テクノロジーは、等価性チェックやデザイン制約マネージメント、クロック・ドメイン・クロッシングの同期化チェック、機能 ECO 解析と生成、Low Power デザイン検証などに対する最も包括的なソリューションを提供します。

Conformal Low Power

リーケージ・パワーとダイナミック・パワーの最適化は消費電力の軽減のみならず、より低い冷却機能、パッケージング・コストも軽減させます。スタティックおよびダイナミックな電圧及び周波数のスケーリング、パワー・ゲーティング、ステート・リテンションなどの先進の低消費電力手法を用いることにより、更なるパワー・セービングを提供する一方、これらは検証タスクを複雑化します。低消費電力機能の大部分が論理合成や物理実装によって組み込まれることによって検証の複雑さは増大していきます。フル・チップのゲート・レベル・シミュレーションはサイズや複雑性の理由から、今日の設計の論理機能を検証することに対して現実的または拡張的な手法ではありません。

Conformal Low Power は実績の証明された等価性検証と機能検証を持ち、フォーマル・テクノロジーを使用してこれらの問題を解決し、フル・チップの低消費電力設計検証を可能にします。

Conformal Low Power は XL および GXL パッケージで利用可能です。

利点

- 完全な検証カバレッジを提供することにより シリコンのリスピンのリスクを最小化
- 設計サイクルの早期の段階で低消費電力実装のエラーを検出
- パワー・インテントや RTL、論理ネットリスト、物理ネットリストのパワーの問題をデバッグするための統合された単一コックピットを通し、低消費電力設計における問題を素早く把握
- 従来のゲート・レベル・シミュレーションに比べ、数百万ゲート規模の設計を超高速に検証することにより、検証時間を大幅に削減
- RTL-to-Layout の検証ギャップを解消
- 独立した検証テクノロジーを用いてクリティカルなバグの見逃しのリスクを大幅に軽減
- 設計の状況に応じてパワー・インテントの構築や検証、および統合を支援
- 低消費電力検証に対する業界で最も信用されたソリューションを提供

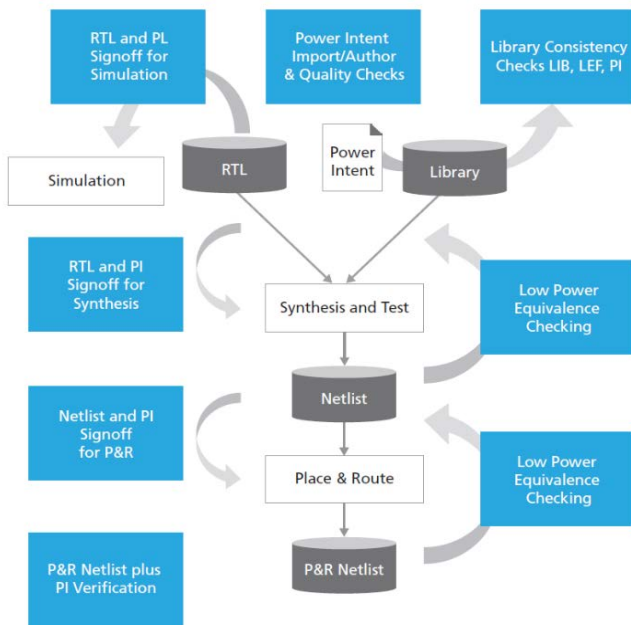


図 1. Conformal low Power による RTL から GDS までの完全な低消費電力設計検証環境

主な特長

Conformal Low Power XL

Conformal Low Power XL では複雑な Low Power SoC 及び、データベースを含む設計の論理等価性検証に加え、低消費電力設計やクロック・ドメインの同期化構造、セマンティックス向けの機能検証と構造検証を包含しています。

パワー・インテントの作成・検証・デバッグ

わずかなパワー・ドメインのみを有するデザインに対して、テキスト・エディタによるパワー・インテントの作成は比較的簡単かもしれませんが、しかし、より複雑なパワー削減技術を採用したデザインについて、それらをテキスト・ファイルで作成するのは困難を伴い、設計ミスの原因になります。

Conformal Low Power によって、デザインとライブラリに照らし合わせてパワー・インテントを作成することが可能になります。ブロックのインターナル・パワーの特性を記述して、IP や階層レベルのマクロモデルを定義するかもしれませんが、マクロのモデリングは、より高い抽象度でデザインを表すためのキーになります。パワー・インテントの統合機能によって、階層のパワー・インテントをマージしたり分解し、TOP レベルの単一のパワー仕様を作成することができます。

Conformal Low Power によって、パワー・インテントのファイルを読み込んだり書き出すことができます。設計工程

のいずれの段階においても、パワー・インテントのクオリティ・チェックを実行することで、文法上や意味上の問題を発見することができます。エラー/ワーニング・メッセージとデザイン(RTL/ネットリスト)、パワー・インテントのクロス・プロービングによって、これらの問題のデバッグやパワー・インテントの改良を効率化することができます。

Conformal Low Power は、シミュレーションや合成、物理実装ツールが混在するフローにおいて、低消費電力設計の独立した検証を提供します。また同様に、相互運用可能なパワー・インテントのフォーマットに基づく、パワー・インテントの相互運用環境もサポートしています。

低消費電力設計用の等価性検証

設計の開発において、低消費電力設計は最終レイアウトまでに非常に多くのイタレーションが発生し、設計プロセスの各ステップで論理バグを引き起こす可能性があります。

Conformal Low Power XL はこれらの様々な設計段階で生成される低消費電力設計の各設計プロセス間の論理等価性をチェックし迅速にエラーの検出、修正を行うことができます。例えば、検証済みの RTL とそれに関連づいたパワー・インテントに対して、合成後のネットリストとパワー・インテントの正当性を検証します。

クロック・ツリー合成や最適化でのゲーテッド・クロックのデクローニングやリクローニングのみならず、クロック・ゲーティングやシグナル・ゲーティング、マルチ Vt ライブラリなどの先進のスタティック・パワー最適化のための論理合成に対応しています。

Conformal Low Power XL は Common Power Format (CPF)仕様言語をサポートします。CPF をガイドラインとして使用し、RTL デザイン内にレベル・シフト、アイソレーション、ステート・リテンション・レジスタなどの Low Power セルを仮想的に挿入・接続し、これにより真の低消費電力の RTL-to-Gate の等価性検証を可能にします。ネットリストの変更により論理ゲートが誤ってドメイン・バウンダリを超えてしまった場合を検出するために、レベル・シフトやアイソレーション・セルをドメインのバウンダリ・ポイントとしてモデル化して等価性検証を行います。

Conformal Low Power は、他の標準パワー・インテントも同様にサポートしています。

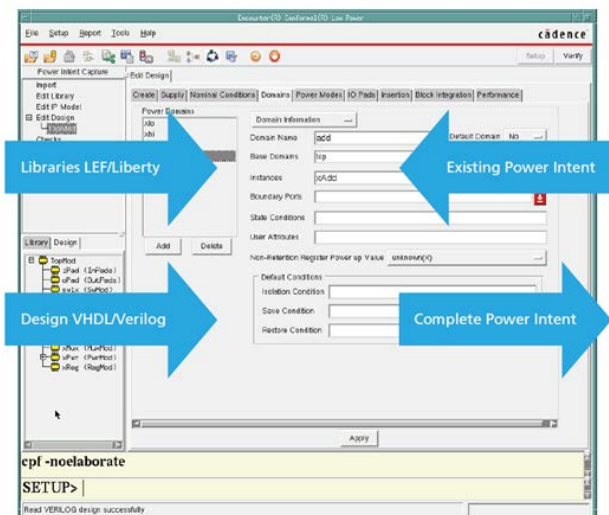


図 2: パワー・_intent記述による、パワー・intentの保存とデバッグの高速化

低消費電力設計の構造検証と機能検証

Conformal Low Power XL はマルチ・サブライ・ボルテージ (MSV) やコース・グレイン・パワー・ゲーティング (PSO)、コース・グレイン・グランド・スイッチング (GSO)、Dynamic Voltage and Frequency Scaling (DVFS)、ステート・リテンション・パワー・ゲーティングなどの設計テクニックをサポートします。CPF を用いた RTL デザインや論理ゲート・ネットリスト (一般に論理合成後)、パワーを考慮した物理ゲート・ネットリスト (P&R 後) 上でのパワー・ドメインの構造検証や機能検証の実行を可能にします。

RTL と論理ゲート・ネットリストの検証においては、設計者は Low Power セルやパワー・ドメイン、グランド・ドメイン、ボルテージ、スタンバイ条件、パワー・モード、パワーの関連付けなどをマニュアルで定義します。その際にデザイン階層内にドメインを伝播させ、すべてのドメイン・パウンダリ・クロッシングを認識して以下の項目についてレポートします。

- 問題のある、またはフローティング接続に関連するパワー・ドメインおよびグランド・ドメインの割り当て
- レベル・シフトの不足、冗長、誤ったドメインの割り当て、誤った接続
- アイソレーション・セルの不足、冗長、誤ったゲート・タイプ、誤った配置、誤ったアイソレーション・イネーブルの極性
- 適切にパワー供給されていない制御信号

Conformal Low Power XL はアイソレーション・セルとレベル・シフト・セルの組み合わせセル (コンボ・セル) のみならず、専用、非専用 (標準セル) のアイソレーション・セルもサポートします。フォーマルな手法を用いてアイソレーションとステート・リテンションの機能検証も行うことができます。

物理ネットリストの検証では、Verilog の電源配線を考慮したネットリストと LEF、シミュレーション・モデルまたは Liberty モデルを読み込むことができます。トップ・レベルのパワー・ピンやパワーおよびグランド・ネット、パワー・スイッチ (MTCMOS)、グランド・スイッチ、アイランド・ボルテージ、パワー・ピンの関連付け、そして Low Power セルを使用し、設計内のパワー・ドメインとドメイン・クロッシングを自動的に認識します。物理ネットリストの検証におけるツール全体のセットアップも CPF から読み込ませることが可能です。現実の物理ネットリストのサポートは、Conformal Low Power のユニークな機能です。すなわち、インスタンス名に基づく仮定の接続関係ではなく、現実の電源の接続関係を考慮してデザインを解析することができます。Conformal Low Power は以下の項目をレポートします。

- ショートやオープンを含んだ不正なパワーおよびグランドの接続
- 未定義のパワー・ドメインを持つインスタンス、混在のパワー・ドメインを持つインスタンス
- 不足、冗長、不正なパワー接続、誤ったレベル・シフトタイプ
- 不足、冗長、不正なアイソレーション・セルのパワー接続
- パワー供給されていないパワー・スイッチやアイソレーション・セル、ステート・リテンションへのパワー制御信号
- ステート・リテンション・レジスタへの不正なパワー接続

Conformal Low Power XL は標準セル・ベースのアイソレーションのみならず、ユーザー定義のアイソレーション・セルでアイソレーションの機能検証を行うことができます。さらにフォーマルな手法を用いてステート・リテンション・レジスタの Sleep および Wake シーケンスの機能検証も実行可能です。

統合環境

セットアップとデバッグに対して直感的かつインタラクティブなグラフィカル・ユーザ・インターフェース (GUI) を提供します。使用者に対して Fail となったチェックの原因を迅速にピンポイントで見つけることを可能にします。

- 統合されたスケマティック・ビューアを利用したグラフィカルなデバッグ
- 等価性検証で代入頻度や重み付けのパーセンテージを伴う自動的なエラー候補検出機能
- Fail した箇所のデバッグを支援する Low Power マネージャ GUI
- Fail したアイソレーションやステート・リテンションのプロパティに対する波形ビューア表示、及びオートマッチック・カウンタ・エグザンプル生成

Conformal Low Power GXL

Conformal Low Power XLで提供されるすべての機能に加え、Conformal Low Power GXLはトランジスタ回路の解析や抽出、カスタム設計や標準セルライブラリ、IOパッド、エンベデッド・メモリなどに対する等価性検証機能を提供します。トランジスタのスタックを考慮した信号強度チェックのようなサーキット・インテグリティや、パワー・ドメインを跨ぐパスがパワー・ダウン時に起すDCパスなどの回路的問題に対するチェックなど、ユニークなチェックも提供します。

Conformal Low Power GXLは、トランジスタのCDLやSPICEネットリストからレベル・シフトやアイソレーション・セルなどのパワーを考慮したVerilogモデルを正確に抽出することができます。これはシミュレーションやLiberty、SPICE、LEFモデル間の矛盾について検証します。さらに、低消費電力設計で使用されるアイソレーション・セルが適切であることを検証します。

プラットフォーム

- Linux (32/64ビット)
- Sun Solaris (64ビット)
- IBM AIX (32/64ビット)
- HP-UX (32/64ビット)

言語サポート

- CPF 1.0, 1.1
- 言語混在
 - Verilog (1995, 2001)
 - SystemVerilog
 - VHDL (87, 93)
 - SPICE (traditional, LVS)
- Liberty

ケイデンスのサービスとサポート

- ケイデンスのアプリケーションエンジニアは、電話、Eメール、またはインターネットで技術的な質問にお答えいたします。また、テクニカルサポートやカスタムトレーニングもご提供します
- ケイデンスが認定したインストラクターが、70以上のコースを開講しており、実際の現場での経験を教室でお伝えします
- インターネット活用トレーニング (iLS) オンラインコースは25以上あり、インターネットを利用して自分のコンピュータで柔軟にトレーニングを受講いただけます
- Cadence Online Support では、最新のソリューション、テクニカルドキュメント、ソフトウェアのダウンロードに24時間365日、アクセスいただけます



日本ケイデンス・デザイン・システムズ社

本社 / 〒222-0033 神奈川県横浜市港北区新横浜 2-100-45
 営業本部 TEL.(045)475-8410 FAX.(045)475-8415
 URL <https://www.cadence.com/jp>

販売代理店 **イノテック株式会社** ICソリューション本部

〒222-8580 神奈川県横浜市港北区新横浜 3-17-6
 TEL.(045)474-2290,2291,2293 (営) FAX.(045)474-2395
 URL <http://www.innotech.co.jp/>